

Diseño de una arquitectura de Hardware para un modulador DTMB

Ing. Reinier Díaz Hernández

reinier@lacetel.cu

21 de febrero de 2016

RESUMEN

- Se presenta el diseño de una arquitectura para la implementación de sistemas de procesamiento digital de señales, aplicado en este caso a un modulador DTMB.
- Se emplea una metodología de diseño descendente con dos niveles fundamentales de abstracción.
 - En el nivel superior se diseña un modelo de referencia totalmente funcional pero no implementable.
 - En el segundo nivel de abstracción se diseña una arquitectura genérica para la integración progresiva de los diferentes módulos del sistema para su implementación en dispositivos FPGA.

INTRODUCCIÓN

- La reproducción es un paso importante en la asimilación de una tecnología.
- Permite dominar las técnicas y herramientas que posteriormente serán empleadas para contribuir al desarrollo y evolución de la misma.
- En **LACETEL** se han realizado varios trabajos importantes en este sentido.

INTRODUCCIÓN

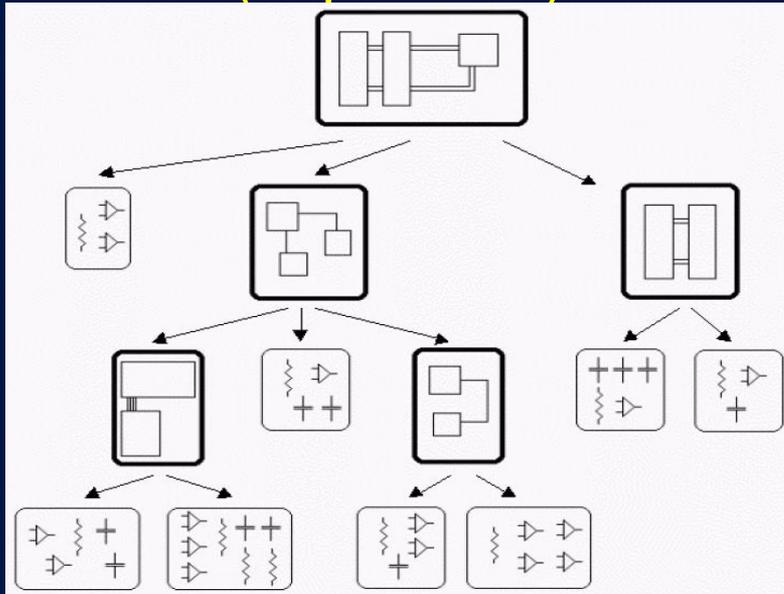
- Trabajos previos realizados en *LACETEL*:
 - En diferentes etapas de la asimilación de la tecnología DTMB.
 - Por diferentes grupos de trabajo con poca coordinación
 - Con diferentes herramientas y enfoques de diseño
- Existe un profundo dominio de los detalles internos de implementación de los bloques funcionales de un modulador DTMB por separado.
- Resulta muy difícil la integración de todos estos diseños en un único sistema funcional.

OBJETIVO GENERAL

- Diseñar la arquitectura de un sistema digital para la implementación práctica de un modulador de la norma DTMB sobre dispositivos FPGA y que pueda ser validada mediante la implementación de alguno de sus bloques funcionales.

METODOLOGÍA DE DISEÑO DE SISTEMAS

Diseño Descendente (Top-Down)



- Parte de un diseño con un alto nivel de abstracción, que cumple las especificaciones del sistema.
- En cada nuevo nivel de abstracción se generan nuevas especificaciones para los submódulos garantizando su integración al sistema.
- Es la metodología más utilizada en diseños de mediana o gran complejidad

ETAPAS Y HERRAMIENTAS PARA EL DISEÑO

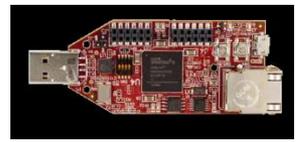
Modelo de alto nivel con Simulink estándar



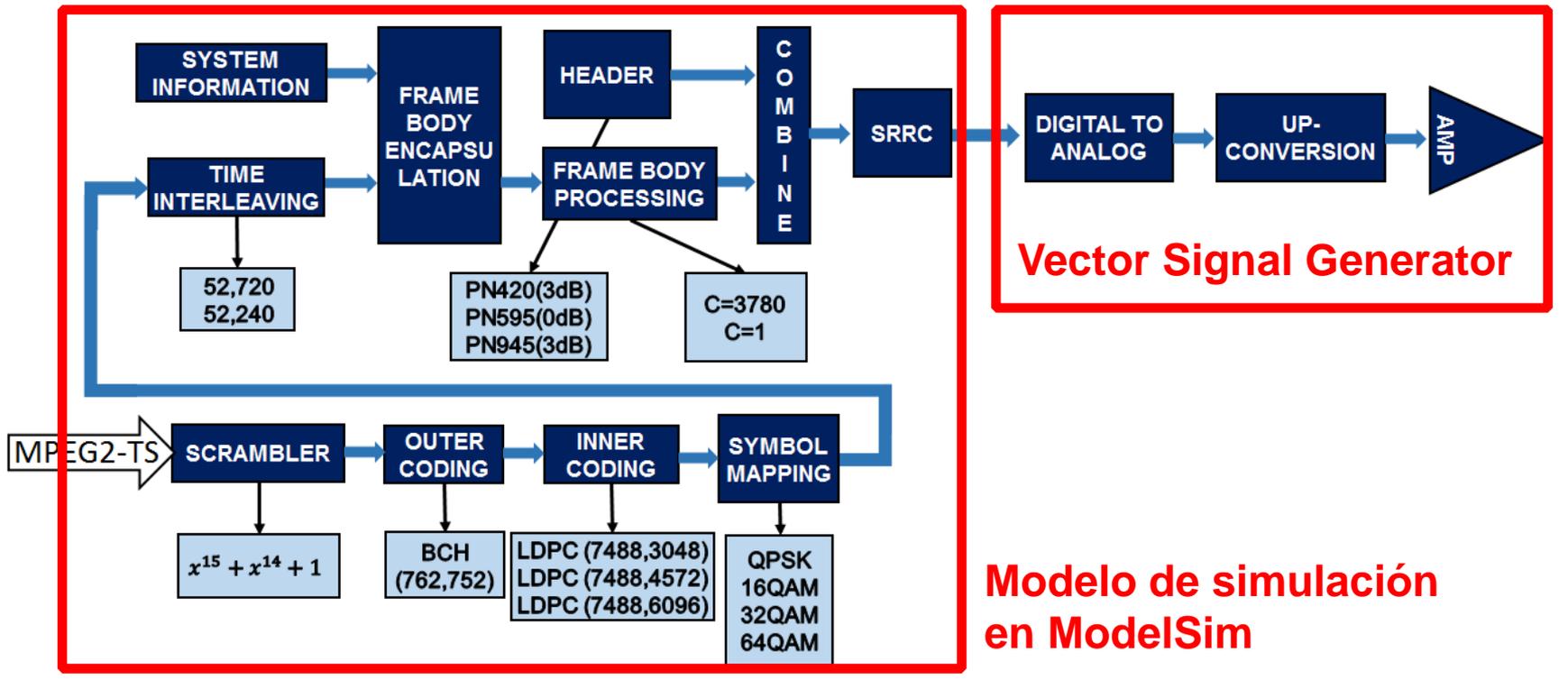
Modelo con bloques de SysGen implementables en FPGA



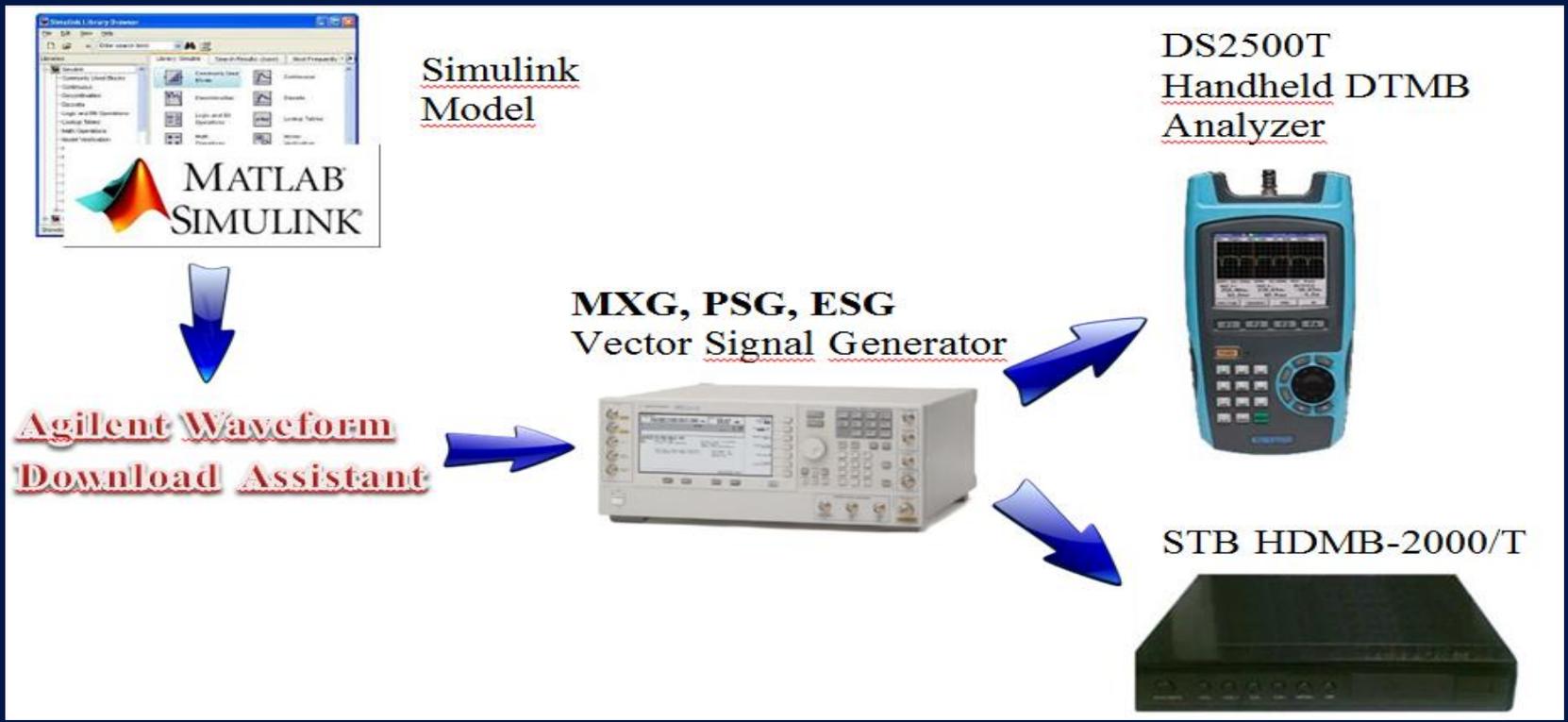
Implementación en kit de desarrollo y cosimulación HW/SW



MODELO DE REFERENCIA DISEÑADO



ESQUEMA DE VALIDACIÓN OBJETIVA



RESULTADOS DE LA VALIDACIÓN DEL MODELO

DTMB INFO [A]-PLAN A 07:45:04

CH: --- S

FREQ: 479.888 MHz

BW: 6.00 MHz

P: -55.8 dBm

MER: >30.0dB

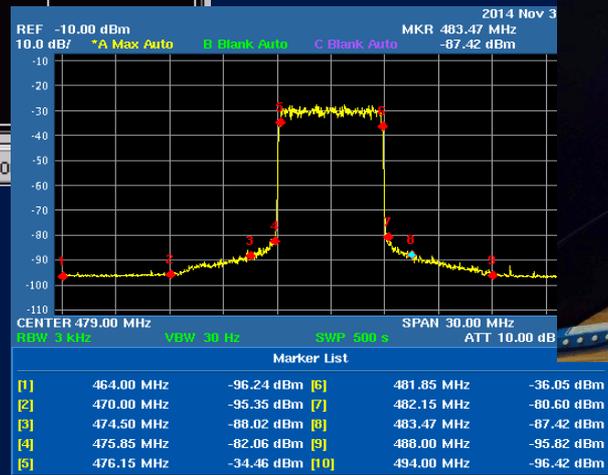
BER: 0.0E-05

MOD: QAM4

CR/TD: 0.8/240

GI: PN595

ECHOES ANTENNA Z



Información de dispersión y demos

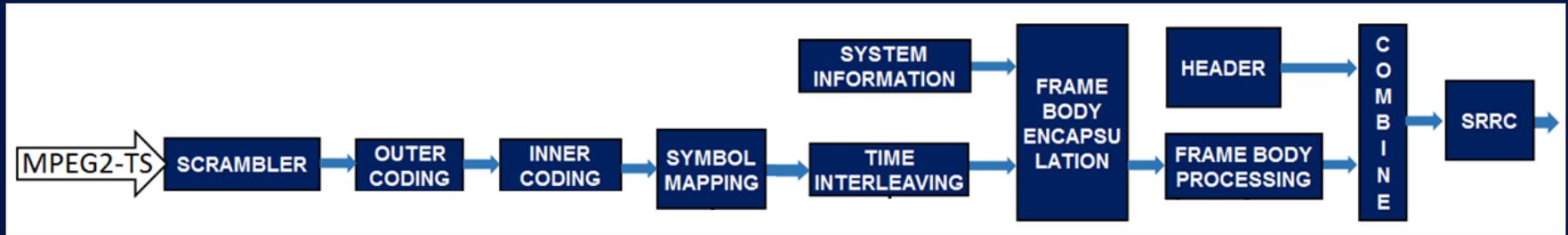
C: 1	BER: 0E-05
QAM: 4	N_pre: 0
FEC: 0.8	N_post: 19
PN: 595	thddet_fir: 10
INTL: 240	thddet_llr: 12
Mod: Fixed	dif_sum: 0.00
Agc: 48	pth_thd: 2.00
S/R: 25.7 dB	
CFO: -7.38KHz	
Bloqueo de éxito	

VALIDADA MACHADO VENTURA MARCA DE LA ZARPA EN EL PAÍS

Información Adicional OK Refrescar

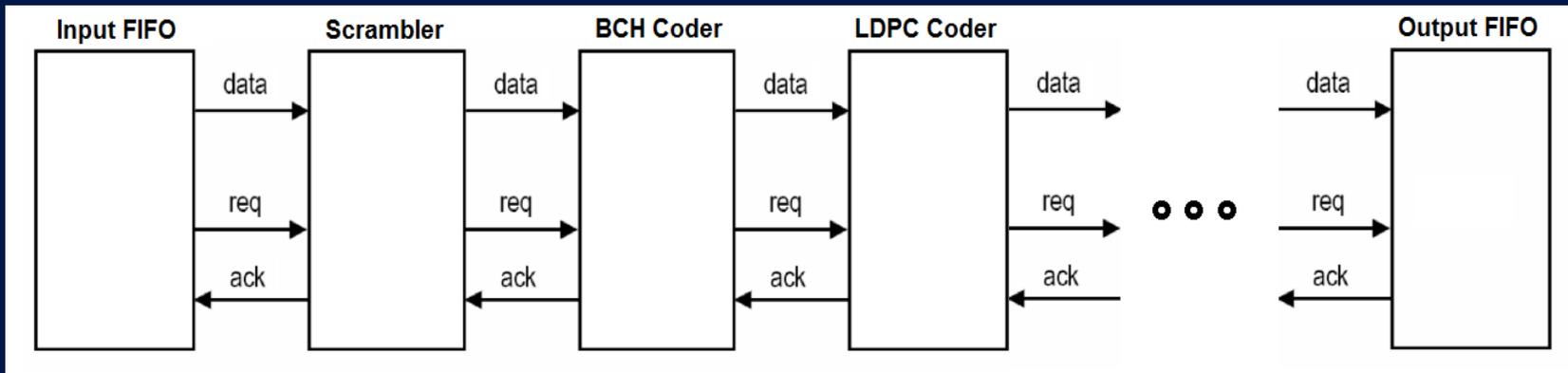
DISEÑO DE LA ARQUITECTURA PARA EL SEGUNDO NIVEL DE ABSTRACCIÓN

REQUISITOS DE LA ARQUITECTURA A DISEÑAR



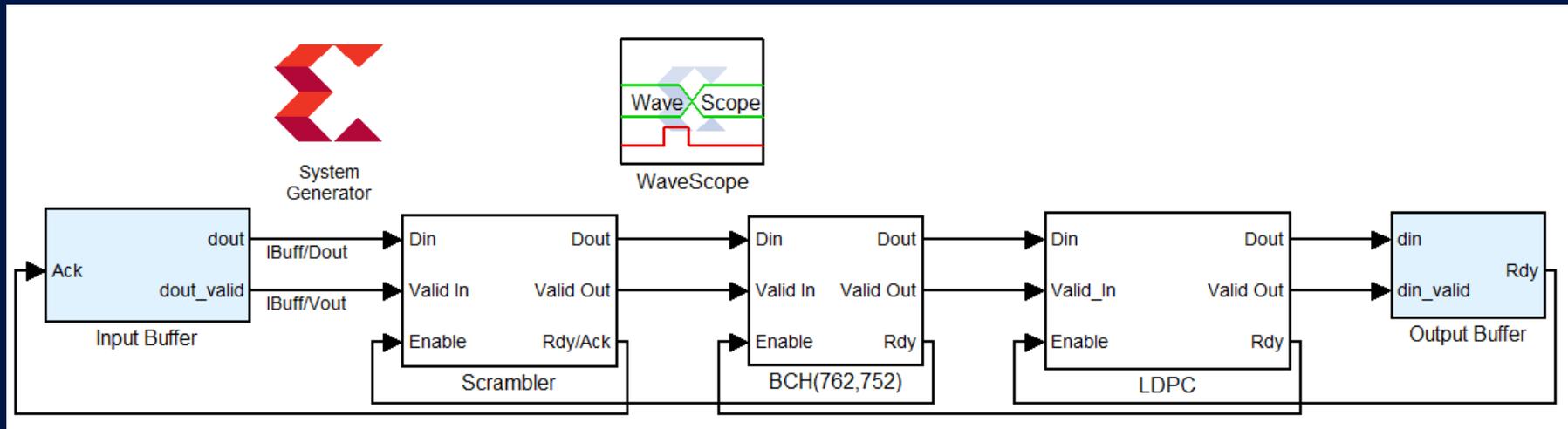
- 330 modos de transmisión diferentes
- Diferentes tipos de bloques funcionales
 - Procesamiento a nivel de bits, símbolos o tramas.
 - Introducen o no variación en la velocidad del flujo de datos de entrada y salida.
 - Necesitan o no retener temporalmente la información

ARQUITECTURA DE IMPLEMENTACIÓN



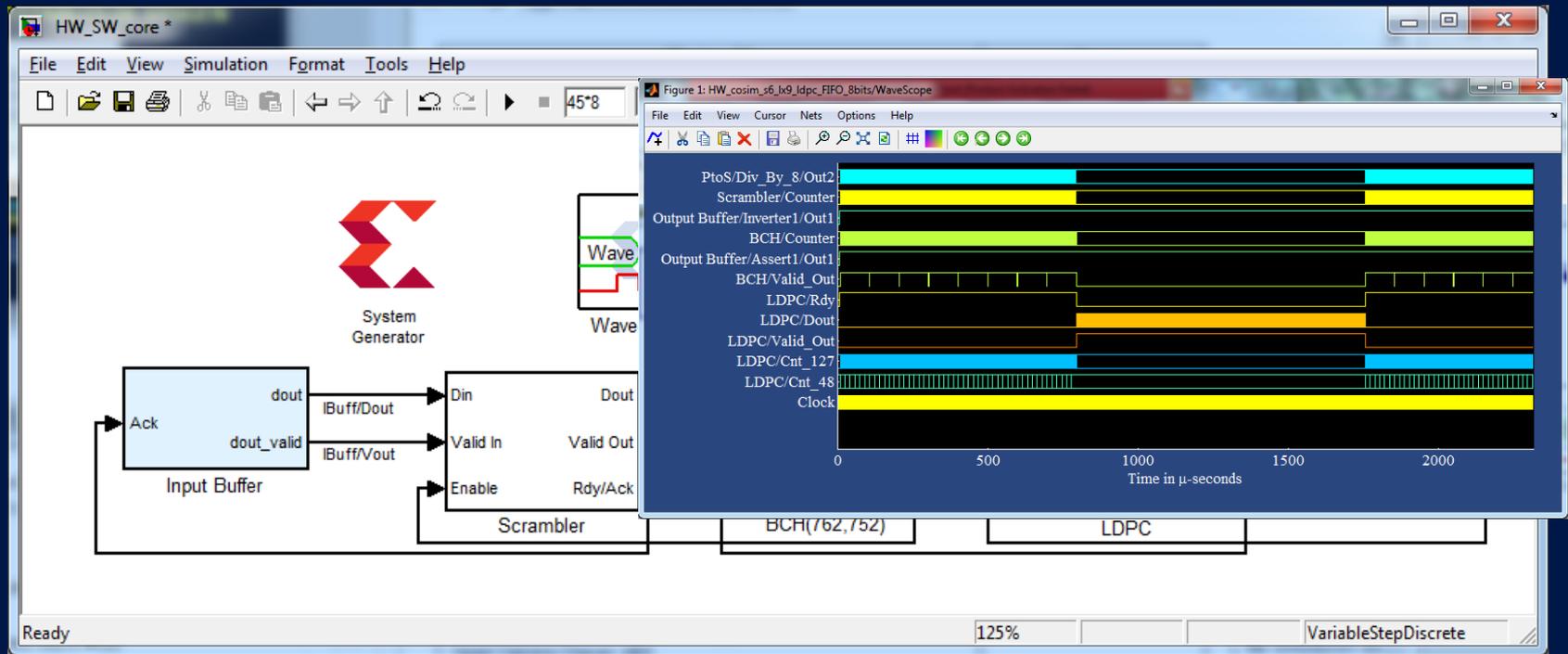
- Sistema sincrónico con control distribuido y topología Data-Flow
- Protocolo de comunicación genérico (4-phases Handshaking)
 - Una interfaz genérica para todos los tipos de módulos posibles.
 - Control de flujo bidireccional mediante tiempos de demora.
 - Se adapta dinámicamente a cambios en el flujo de datos de los 330 modos de TX

DISEÑO PARA COSIMULACIÓN HARDWARE

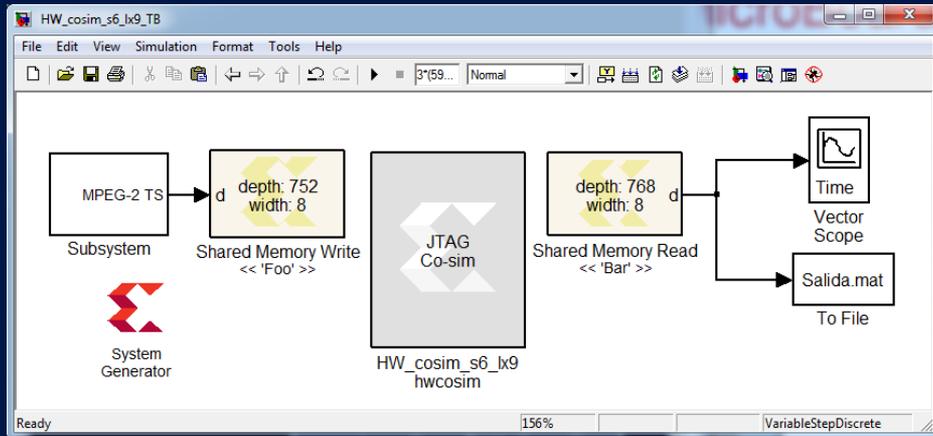
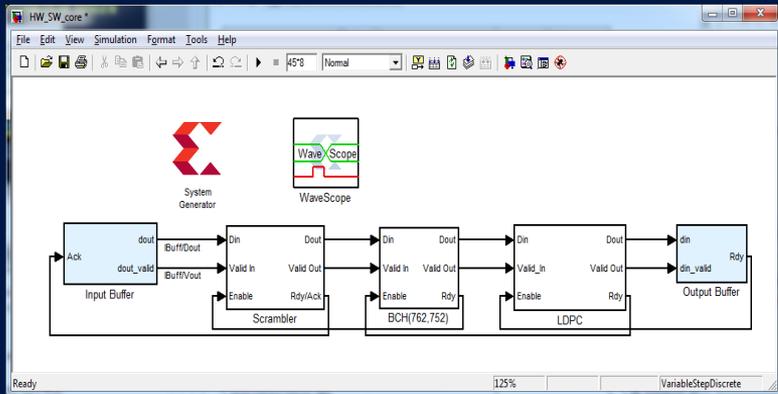


- Diseño con bloques sintetizables en FPGA desde SysGen.
- Interfaces de entrada y salida con memorias compartidas.
- Integración de diferentes bloques al sistema de forma incremental.

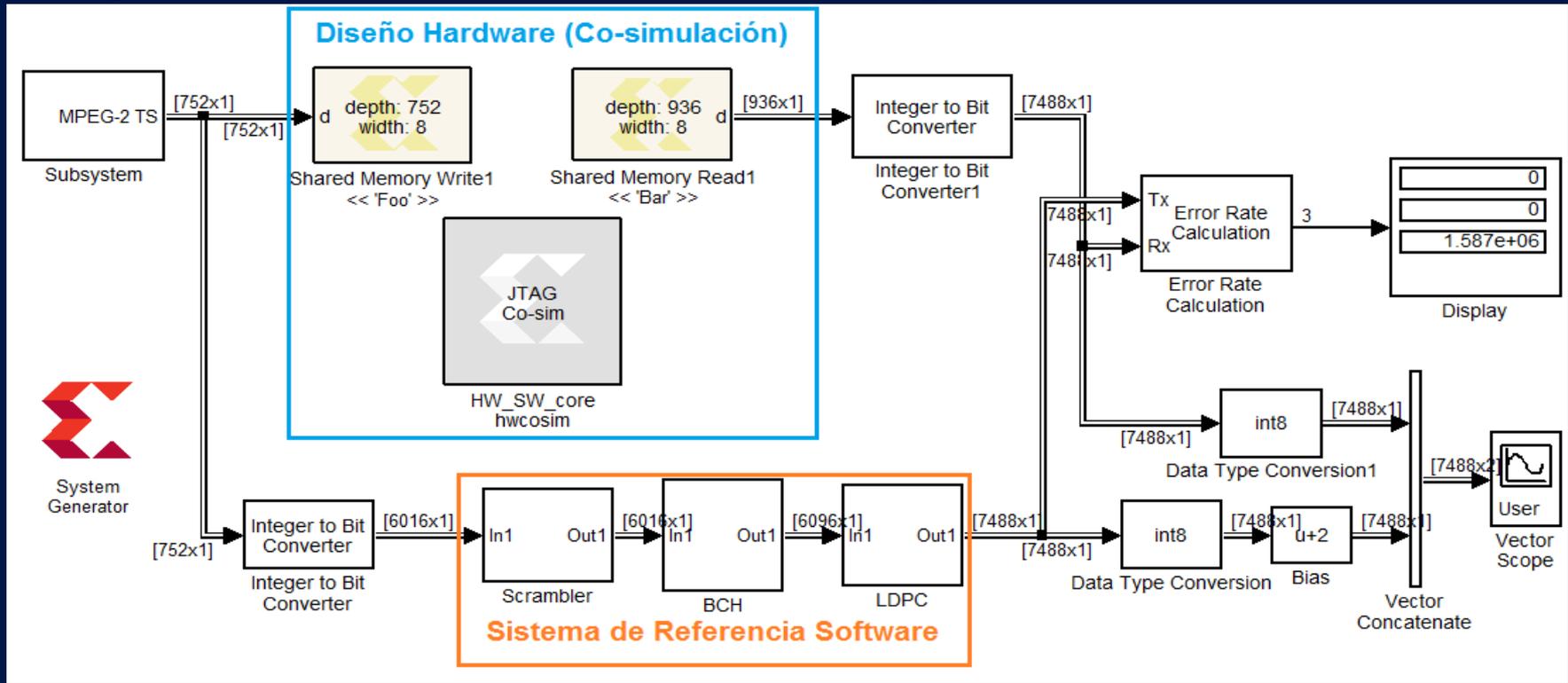
FACILIDADES PARA SIMULACIÓN Y DEPURACIÓN DEL DISEÑO EN SYSGEN



COSIMULACIÓN HW: HW-IN-THE-LOOP



Esquema de validación de la implementación HW



CONCLUSIONES

- A diferencia de los trabajos previos se empleó una **metodología de diseño descendente**, garantizando así el funcionamiento del sistema en su conjunto en todos los niveles de abstracción.
- Se diseñó un **modelo de referencia** para un modulador DTMB con un alto nivel de abstracción, el cual fue validado objetivamente mediante **instrumentos de laboratorio y equipos comerciales**

CONCLUSIONES

- Se diseñó **una arquitectura para la implementación** de todos los bloques del sistema, la cual fue validada mediante la implementación e integración de algunos módulos representativos.
- Los resultados de la implementación fueron validados mediante técnicas de **Co-simulación HW**
- La **arquitectura** diseñada es lo suficientemente **genérica** como para ser utilizada en otros sistemas de codificación y modulación de señales digitales.

RECOMENDACIONES

- Generalizar el modelo de referencia para facilitar la configuración de los diferentes parámetros de la modulación.
- Optimizar el modelo de referencia para disminuir los tiempos de ejecución de las simulaciones.
- Diseñar e integrar a la implementación los restantes bloques funcionales para completar el modulador DTMB.
- Incorporar a la implementación interfaces externas para utilizar entrada y salida de datos en tiempo real (entrada ASI/SPI y salidas hacia conversores DAC).

Diseño de una arquitectura de Hardware para un modulador DTMB

Ing. Reinier Díaz Hernández

reinier@lacetel.cu

21 de febrero de 2016