



Rafael Orestes Arias Zamora

Termoeléctrica Cienfuegos, Carretera Obourke Km 2, Cienfuegos

e-mail: Orestes@ctecmc.une.cu

RESUMEN

El presente trabajo describe el diseño de las etapas de codificación del canal de televisión digital terrestre TDT para la norma DTMB para ser implementado sobre la plataforma FPGA de fabricante Xilinx. El trabajo abarca los bloques aleatorizador y codificación del canal. El mismo contempla el diseño de módulos de procesamiento digital de señales mediante las herramientas System Generator, ISE de Xilinx, Simulink y MATLAB para el diseño, modelado y verificación funcional.

PALABRAS CLAVES: TELEVISION DIGITAL TERRESTRE, DTMB, FPGA

ABSTRACT

ABSTRACT

The present work describes the design of the stages of codification of the channel of digital terrestrial television TDT for the norm DTMB to be implemented on the platform manufacturer's FPGA Xilinx. The work includes the aleatorizador blocks and codification of the channel. The same one contemplates the design of modules of digital prosecution of signs by means of the hardware System Generator, ISE of Xilinx, Simulink and MATLAB for the diseñ, shaped and functional cross-check.

KEY WORDS: DIGITAL TERRESTRIAL TELEVISION, DTMB, FPGA, FEC, BCH, LDPC

1. INTRODUCCIÓN

En Cuba se está llevando un proceso de implementación de la televisión digital en el cual se está realizando simultáneamente la transmisión de señal analógica y digital hasta que todas las condiciones estén creadas para proceder con el apagón analógico. El proceso de avance de la televisión digital está determinado en parte por la capacidad del país para invertir en el equipamiento necesario para esta tecnología, parte de esta inversión son los codificadores para la norma. Una ventaja en el despliegue de la televisión digital sería la posibilidad de desarrollar estos codificadores en el país. Por su versatilidad y flexibilidad los Arreglos de Computas Programable en el Campo o Field Programmable Gate Arrays, FPGAs constituyen una solución viable para realizar codificadores de televisión digital. Hoy en día existen varias familias de FPGAs de diferentes fabricantes las cuales tienen características diferentes, dependiendo de esas características éstas son en mayor o menor medida atractivas para los diferentes diseños de procesamiento digital de señales.

En el trabajo se realiza una descripción de las principales características de la norma de televisión DTMB se realiza un estudio de los bloques aleatorizador y codificación del canal, se describe el diseño de dichos bloques mediante bloques funcionales de Xilinx System Generator. Se realiza la simulación y verificación funcional del diseño mediante las herramientas de diseño, síntesis y simulación Xilinx System Generator y Matlab.

2. BLOQUES FUNCIONALES DE LA NORMA DTMB

La norma DTMB puede soportar razones de bits en la transmisión de carga útil de 4.813 Mbps a 32.486 Mbps, y permite la transmisión de programas de SDTV y HDTV, recepción móvil y fija, y la implementación tanto en redes MFN siglas en inglés de Multiple Frequency Network como SFN siglas en inglés de Single Frequency Network. DTMB basa su codificación fuente en MPEG-2, pero puede aceptar flujos codificados en MPEG4 AVC/H.264 y además flujos codificados bajo la norma china AVS siglas en inglés de Audio Video Coding



Standard que tiene un desempeño similar a AVC, siglas en inglés de Advanced Video Coding en cuanto a la codificación de video. [1]

Según este estándar el esquema en bloques de un modulador tomando como punto de partida la trama codificada MPEG-2, H.264 o AVS es el mostrado en la figura 1. El sistema convierte el flujo de datos de entrada en una señal de salida de radio frecuencia.

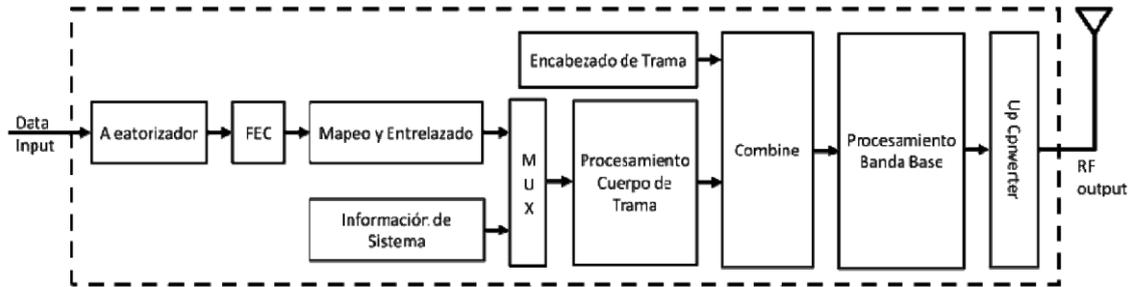


Figura 1: Esquema en bloques de un modulador de la norma DTMB.

Este trabajo abarca los bloques aleatorizador y codificación del canal. A continuación se detallan cada uno de estos bloques funcionales.

Aleatorizador o dispersor de energía.

En los sistemas de difusión de televisión digital terrestre el aleatorizador se conoce como dispersor de energía. La densidad espectral de potencia depende de la correlación entre los símbolos y la forma del pulso conformador que se transmite. Respecto a la correlación de símbolos, si los símbolos no presentan ninguna correlación, el espectro depende únicamente de la transformada de Fourier del pulso conformador. Ahora bien, si los símbolos están correlados; por ejemplo hay ráfagas de muchos unos seguidos, en el espectro de la señal aparecen rayas espectrales, picos; que pueden saturar a los amplificadores de potencia y que, por otro lado desperdician potencia porque son picos que no aportan información. Por esta razón, el flujo de entrada debe ser tratado para convertirlo en pseudoaleatorio.[2]

El Aleatorizador es un elemento que genera una secuencia de bits pseudoaleatoria o PRBS (siglas en inglés de Pseudo Random Bits Sequence). La secuencia pseudo-aleatoria se construye a base de un registro de desplazamiento con realimentación lineal o LFSR, siglas en inglés de Lineal Feedback Shift Register, un LFSR es un registro de desplazamiento cuya entrada es una función lineal de su estado anterior. La función lineal que utiliza es un OR exclusivo, así la entrada es manejada por esta operación lineal en la que intervienen varios elementos del registro.[3]

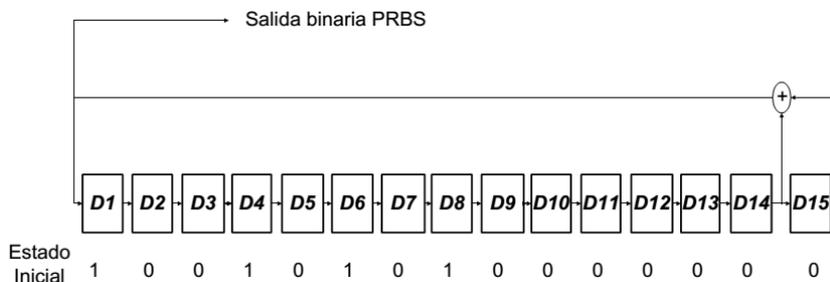


Figura 2: Estructura del LFSR del aleatorizador.[3]



El estado inicial del registro de desplazamiento realimentado linealmente LFSR, es: "100101010000000" a partir del cual se genera la PRBS. El primer bit a la salida del generador PRBS será aplicado al primer bit del flujo de entrada mediante una operación XOR para aleatorizar los datos. Este proceso será llevado a su estado inicial al comienzo de cada Trama Señal.[4]

Corrector de Errores Progresivo.

El bloque funcional corrector de errores progresivo FEC siglas en inglés de Forward Error Correction se encarga de agregar los bits de chequeo necesarios para proteger a los datos de información de errores provocados por diversos factores durante la transmisión.

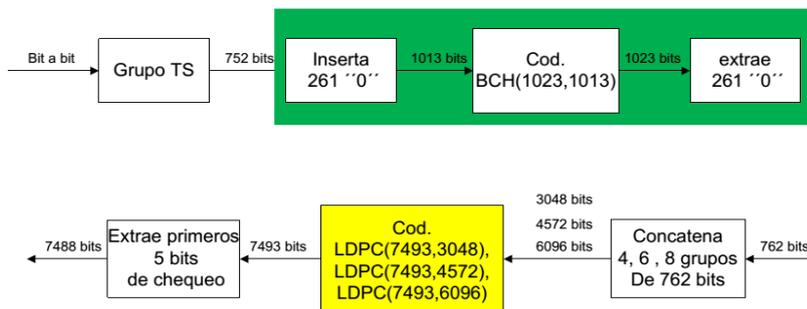


Figura 3: Proceso de codificación FEC utilizado en la norma DTMB.[4]

El mismo se compone de un codificador externo BCH, siglas en inglés de Bose-Chadhui Hocquenghen y un codificador interno de Chequeo de Paridad de Baja Densidad, LDPC siglas en inglés de Low Density Parity Check.

El codificador externo es del tipo BCH (762,752) correspondiente a 752 bits de información y 10 de chequeo; este se obtiene del código BCH (1023,1013), mediante la inserción de 261 ceros a los bits de información. Una vez obtenida la palabra de código se extraen los 261 ceros ubicados en la cabecera de la misma, esto es posible pues el código es sistemático, ubicando los bits de información por delante de los de chequeo. Una Trama de Transporte MPEG-2 contiene 188 Bytes o lo que es lo mismo 1504 bits. La codificación BCH se efectuará sobre 752 bits correspondientes a la mitad de dicha Trama de Transporte.[4]

El codificador externo BCH utilizado en la norma es común para las tres razones del codificador interno y es capaz de corregir un error simple o detectar uno doble, su objetivo es corregir errores esporádicos del codificador interno. La norma describe el polinomio generador que establece las palabras válidas del código según la Ecuación $GBCH(x)=1+x^3+x^{10}$. El mismo es una subclase de los códigos cíclicos y se puede implementar con registros de desplazamientos realimentados, lo cual disminuye sustancialmente la complejidad del hardware.

Luego de la codificación BCH, los datos son entregados al codificador LDPC, correspondiente al FEC interno de la norma DTMB. Las tres razones de código que utiliza el FEC son 0.4, 0.6 y 0.8 y están dadas por la cantidad de grupos de bits codificados BCH que tienen que concatenarse para entrar al codificador LDPC. La longitud de estos grupos tal y como se muestra en la Figura 3 será de 3048, 4572 ó 6096 bits, a los mismos se le añaden los bits redundantes del codificador LDPC para formar palabras de longitud fija e igual a 7493 bits. Finalmente se retiran los primeros cinco bits de chequeo de la palabra codificada. La extracción se justifica con el objetivo de transmitir en una Trama Señal unidad básica de transmisión del estándar DTMB, o sea un número fijo de Tramas de Transporte de 188 bytes.[5]

Los códigos LDPC utilizan una matriz codificadora denominada G, que añade la información redundante; la misma es empotrada en los bits suplementarios llamados bits de paridad que son añadidos al mensaje para ser



transmitido. A su vez estos códigos poseen una matriz decodificadora denominada H. Para que el sistema funcione correctamente las matrices G y H son ortogonales cada una con la otra.[6]

EL codificador LDPC que presenta la norma es llamado de baja densidad, consiste en un código de bloque lineal representado por la matriz de chequeo de paridad H con baja densidad de unos; se considera baja la densidad si la cantidad de unos es menor del 1% de todos los elementos de la matriz H. La matriz generadora G no es necesario obtenerla a partir de la matriz H, dicha matriz generadora presenta algunas de las propiedades antes mencionadas para H y se representa como se muestra en la figura 4.

$$G_{qc\ sys} = \begin{bmatrix} G_{0,0} & G_{0,1} & \dots & G_{0,t-c-1} & I & 0 & \dots & 0 \\ G_{1,0} & G_{1,1} & \dots & G_{1,t-c-1} & 0 & I & \dots & 0 \\ \vdots & \vdots & \ddots & \vdots & \vdots & \vdots & \ddots & \vdots \\ G_{c-1,0} & G_{c-1,1} & \dots & G_{c-1,t-c-1} & 0 & 0 & \dots & I \end{bmatrix}$$

Figura 4. Matriz generadora del codificador LDPC. [5]

Donde I es la matriz identidad (127x127), 0 es una matriz ceros (127 x127) y es una matriz circulante (127x127) con $0 \leq i < c$ y $0 \leq j < t-c$. La matriz generadora anterior es de forma cuasi-circular sistemática.

3. DISEÑO DIGITAL DE CODIFICADOR DE LA NORMA DTMB MEDIANTE XILINX SYSTEM GENERATOR

El diseño de sistemas de procesamiento digital de señales con FPGAs puede realizarse mediante el uso de una librería desarrollada por Xilinx que se integra en Simulink y una herramienta denominada Xilinx System Generator XSG para procesamiento digital de señales. Xilinx posee y mantiene un set de herramientas completo para el flujo completo de diseño de FPGA, algunos de los cuales están en colaboración con compañías individuales. XSG está integrada en un paquete llamado Ambiente de Software Integrado de Xilinx, Xilinx Integrated Software Environment.

XSG es un conjunto de bloques o librerías integradas con MATLAB-Simulink, ya que Simulink proporciona un entorno gráfico para crear y modelar un sistema. Dicha herramienta nos permite simular funcionalmente los diseños y usar el entorno MATLAB para verificar los modelos a nivel de bit y ciclo con los resultados de los modelos de referencias. XSG consiste en una librería de bloques de Xilinx, es un software para traducir los modelos Simulink a una realización hardware del modelo. XSG mapea los parámetros definidos en Simulink en la versión hardware del modelo; puertos, señales y atributos, además produce de forma automática un fichero de comandos para la síntesis en la FPGA, genera un modelo de simulación en lenguaje de descripción de hardware; HDL, del inglés Hardware Description Language y realiza la implementación, de tal forma no es necesario dejar el entorno grafico en ningún momento o etapa del diseño.[7]

Una vez instalado correctamente el System Generator se tienen como resultado tres blockset en Simulink de Matlab los cuales a su vez están compuestos por diez librerías, las cuales contienen gran cantidad de bloques funcionales con los cuales se genera el diseño del sistema a implementarse en el FPGA. Cada uno de estos bloques posee parámetros configurables, estos pueden ser específicos o comunes en la mayoría de los bloques. O sea que mediante estas herramientas pueden realizarse el diseño, síntesis, simulación funcional e implementación en el FPGA del sistema digital que se diseñe.

A continuación se describen cada uno de los diseños del aleatorizador y codificador FEC de la norma DTMB, los mismos se realizan a partir de bloques funcionales de Xilinx los cuales pueden implementarse en una FPGA determinada según la cantidad de recursos estimados que requiera el diseño.

Diseño de aleatorizador

Para realizar el diseño del bloque aleatorizador se utiliza un bloque funcional de registro de desplazamiento con realimentación lineal disponible en XSG.

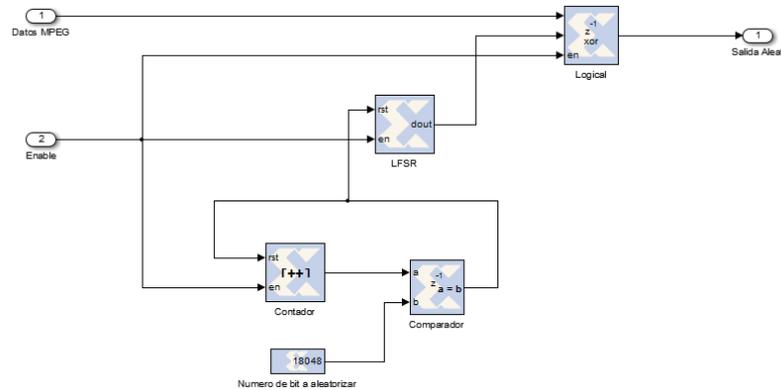


Figura 5: Diseño de aleatorizador mediante bloques de Xilinx.

En la configuración del registro de desplazamiento se definen los bits del registro de desplazamiento que intervienen en la realimentación (8003h = 100000000000011b), la existencia de un '1' indica que existe una conexión, el estado inicial del registro (9500h = 1001010100000000b) y la cantidad de bits del registro de desplazamiento con realimentación lineal en este caso 16 bits. La salida del mismo se aplica a un or exclusivo con la secuencia de datos de entrada con lo cual se consigue aleatorizar los datos.

Los bloques contador y comparador se utilizan para resetear el registro de desplazamiento a su valor inicial al final de cada trama MPEG. El valor de la constante indica la cantidad de bits aleatorizados que se deben contar para resetear el LFSR. Este valor depende de la razón de código y del mapeo seleccionado. El valor seleccionado corresponde a la combinación de razón 0.8 con mapeo 64QAM, esta combinación transporta 18048 bits de información en cada Trama Señal.

A su vez se utiliza la señal dato valido para habilitar el registro de desplazamiento y la compuerta lógica XOR. Para realizar una simulación del diseño propuesto se utiliza un generador de binario que simula los datos MPEG.

Diseño de codificador externo BCH.

En el diseño del codificador externo BCH se utiliza un bloque FIFO de System Generator para almacenar los datos provenientes del aleatorizador, a su vez se utiliza un bloque de control el cual maneja los tiempos de lectura de la FIFO y la adicción de 261 ceros a los datos de entrada al codificador a través de un multiplexor.

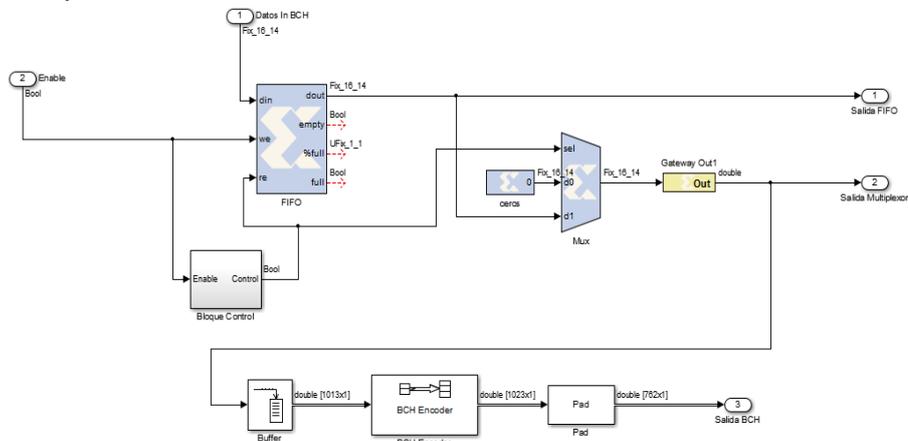


Figura 6: Diseño de codificador externo

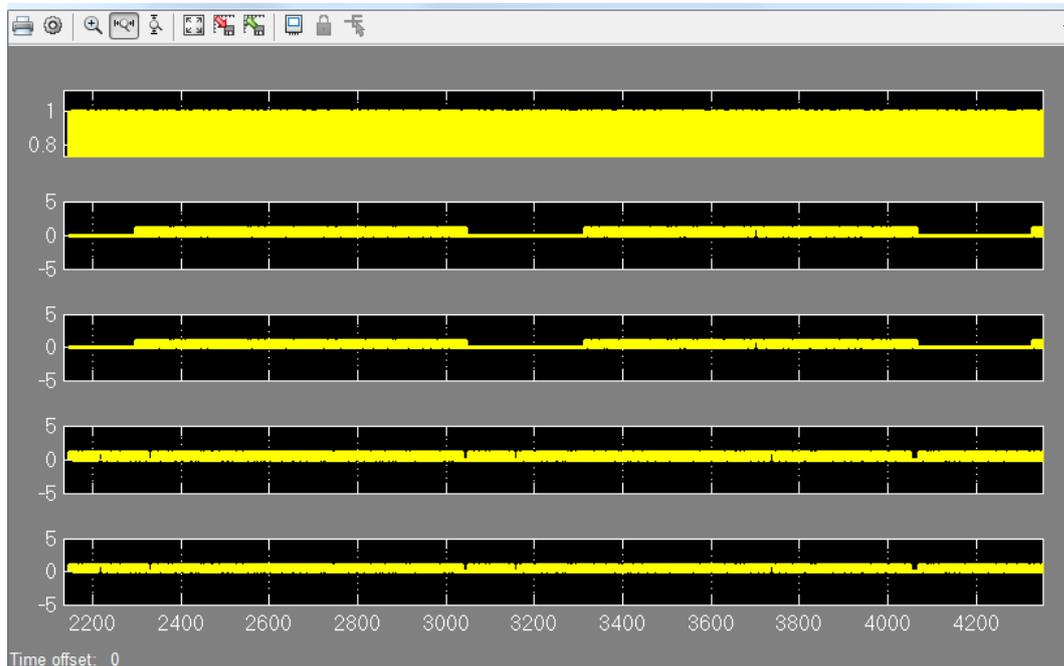


Figura 8: Resultados de simulación funcional del diseño

5. CONCLUSIONES

En este trabajo se realiza el diseño de los bloques aleatorizador y codificación FEC de la norma de televisión digital DTMB para ser implementadas en tecnología FPGA mediante las herramientas de software System generator de ISE Xilinx y Matlab. Se realiza la simulación del diseño propuesto para validarlo según el funcionamiento de la norma. Se realiza la síntesis del diseño y se realiza un cálculo de los recursos necesarios en una FPGA para implementar el sistema propuesto.

RECONOCIMIENTOS

Se desea agradecer al Dr. Juan Pablos Barrios Rodríguez por su colaboración en este trabajo.

REFERENCIAS

1. ZHANG, Chao; ZHANG Xiao-Lin; ZHANG, Zhan. "The Technical Analysis on the China National Standard for Digital Terrestrial TV Broadcasting". School of Electronic Engineering, Beihang University, Beijing China.
2. SIERRA, Alberto. "Diseño de la codificación de canal y mapeo de un modulador DVB-T". 1er Foro Internacional de Televisión Digital, Lacetel, 2013, pp 2.
3. GARCIA RODRIGUEZ, Nelson; REY DOMINGUEZ Addis. (2012) "Diseño FPGA de un modulador DTMB para canalización de 6MHz". *RIELAC*, 2012, Vol.XXXIII, pp. 17-28.
4. SIERRA DOMINGUEZ, Addis; RAYMOND RODRIGUEZ, Luis G. "Diseño de la codificación de canal y mapeo de un modulador DVB-T". 1er Foro Internacional de Televisión Digital, Radiocuba, 2013, pp 4.



5. RAYMOND RODRIGUEZ, Luis G; SIERRA DOMINGUEZ, Addis. "Propuesta de diseño de la codificación de canal de la norma de televisión digital DTMB". 1er Foro Internacional de Televisión Digital, Radiocuba, 2013, pp 3.
6. PREGARA Matthew; SAIGH Zachary "Low Density Parity Check Code Implementation". Senior Project Final Report, Bradley University: Department of Electrical and Computer Engineering. 2013. 44pp.
7. RODRIGUEZ VALIDO, Manuel et al, "Metodología de diseño en FPGA usando Xilinx System Generator". Universidad de La Laguna, España. pp 282- 286.