ACIMUTT 2017

Titulo: Codificadores de televisión digital terrestre para la norma DTMB

Autor:Ing. Rafael Orestes Arias Zamora
Tutor: Dr. Juan Pablo Barrios

Universidad central de Las Villas

Facultad de Ingeniería Eléctrica

Santa Clara 2017

Motivación

Investigaciones anteriores sobre diseños de sistemas digitales con FPGAs de Xilinx.

Tesis de maestría en Telemática en la UCLV.

Objetivo general

Diseñar codificadores de TV Digital Terrestre para la norma DTMB mediante el empleo de FPGAs.

Interrogantes científicas

- ¿Cuáles son las diferentes etapas o bloques funcionales de los codificadores para la norma DTMB y sus características?
- ¿Cómo realizar una estrategia de diseño de sistemas digitales con FPGAs mediante las herramientas ISE Xilinx y Matlab?
- ¿Cómo realizar el diseño de un codificador de televisión digital para la norma DTMB con FPGAs mediante ISE Xilinx y Matlab?
- ¿Cómo comprobar el desempeño de los diferentes bloques funcionales del diseño?

Objetivos Específicos

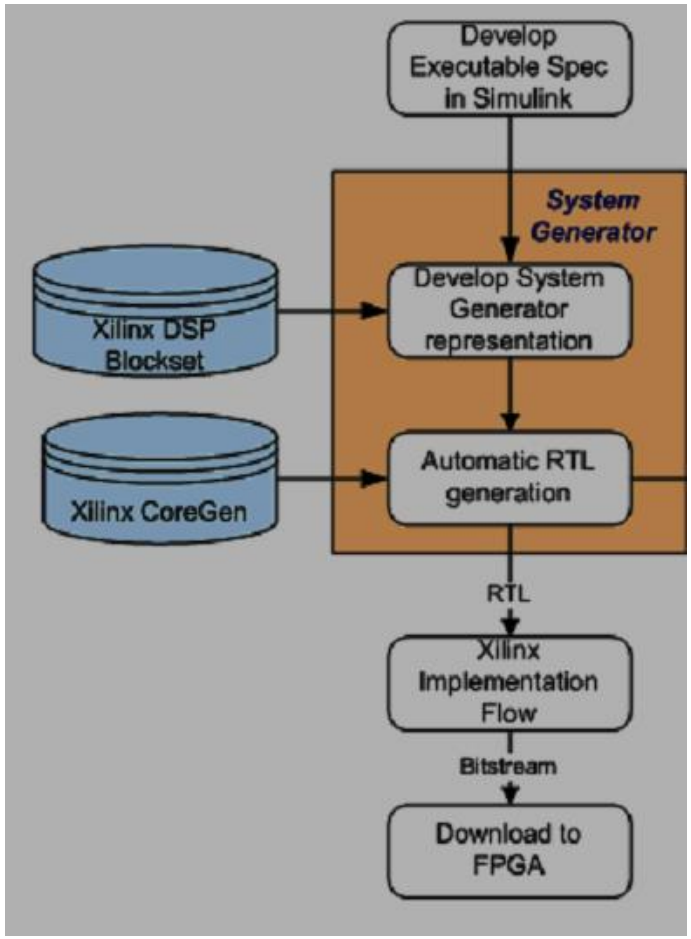
- Proponer una estrategia de diseño digital para FPGAs mediante las herramientas ISE Xilinx y Matlab
- Diseñar los bloques funcionales de un codificador de televisión digital para la noma DTMB con FPGAs.
- Simular y comprobar el desempeño del diseño mediante las herramientas de software ISE Xilinx y Matlab.

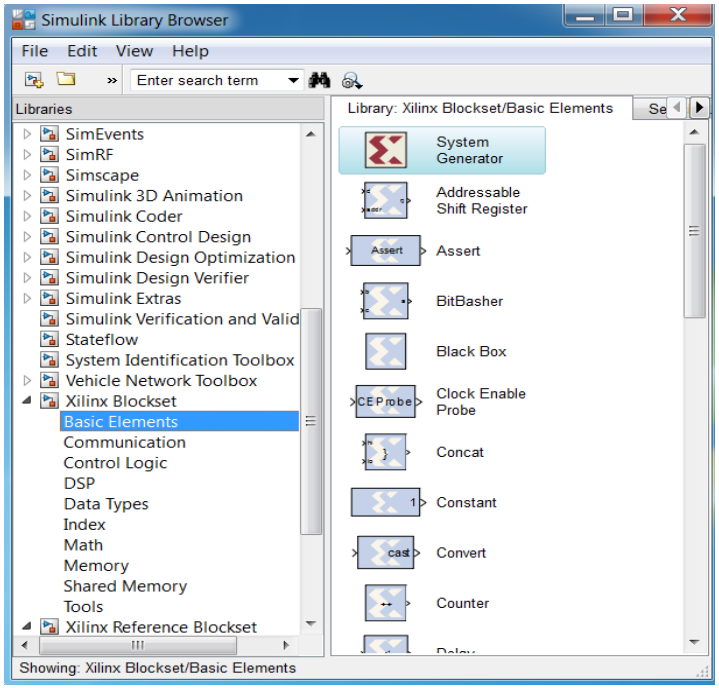
Estrategia de diseño con ISE Xilinx y Matlab

Una manera eficiente de abordar el diseño de sistemas digitales complejos con FPGAs es mediante Xilinx System Generator XSG ya que este incluye herramientas las cuales posibilitan la implementación a alto nivel del diseño directamente en una FPGA.

XSG es un conjunto de bloques o bibliotecas integradas con MATLAB-Simulink, ya que Simulink proporciona un entorno gráfico para crear y modelar un sistema.
Dicha herramienta nos permite simular funcionalmente los diseños y usar el entorno MATLAB para verificar los modelos a nivel de bit y ciclo con los resultados de los modelos de referencias.

Estrategia de diseño con ISE Xilinx y Matlab

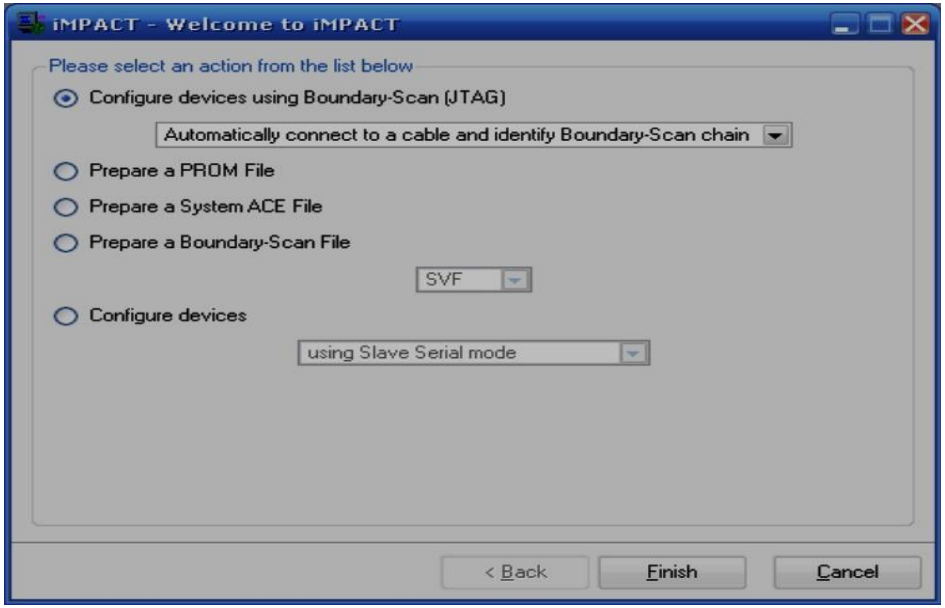




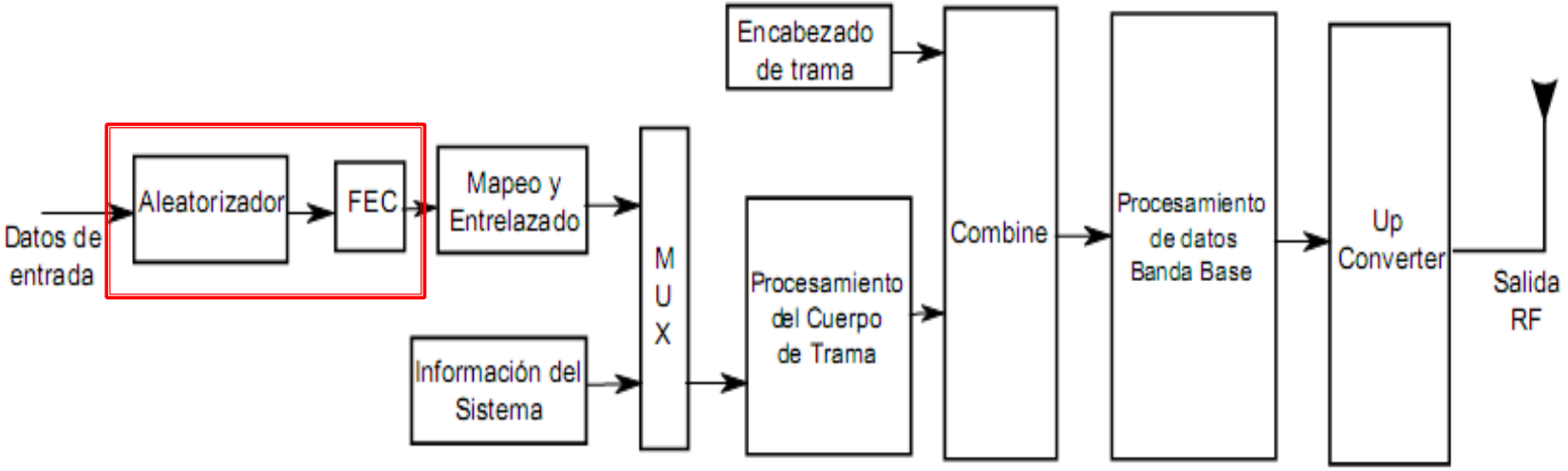
Diseño del sistema
Simulación funcional y modelación
Estimación de recursos
Simulación de hardware. Co-simulación.
Generación de Fichero de configuración.

Estrategia de diseño con ISE Xilinx y Matlab

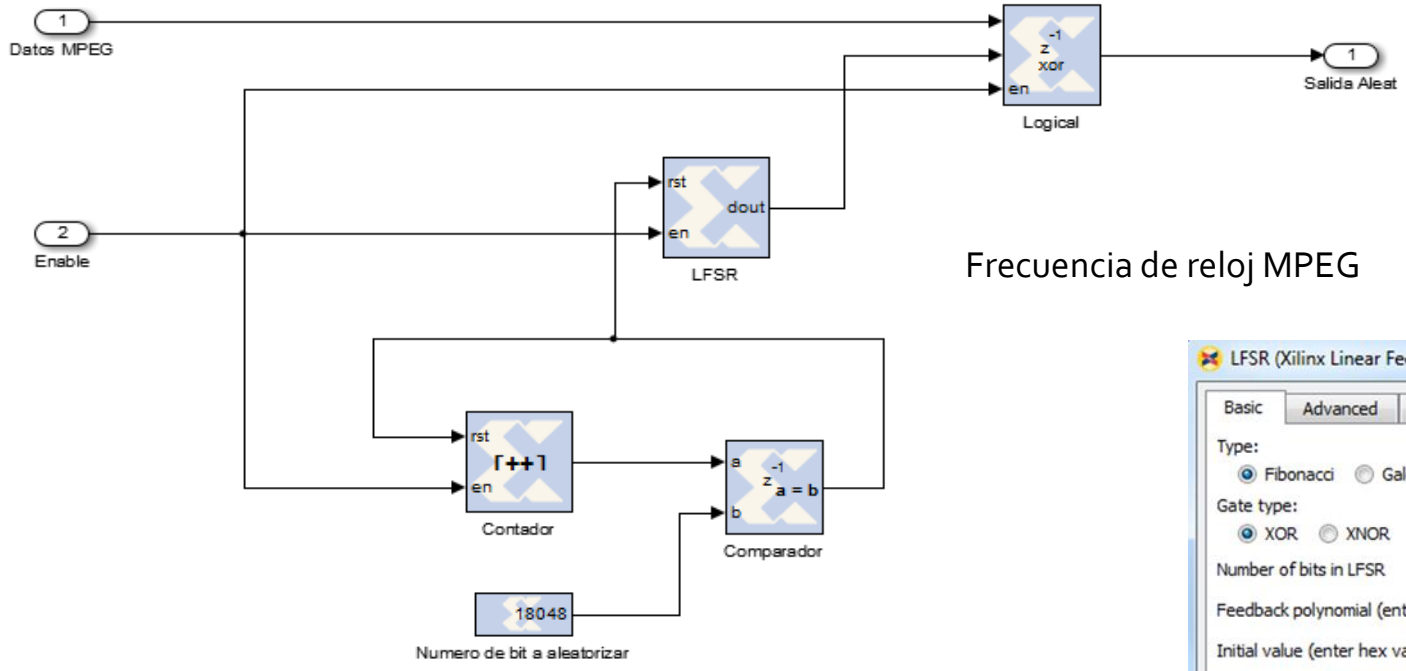
La descarga del fichero de configuración a la FPGA mediante ***Impact***.



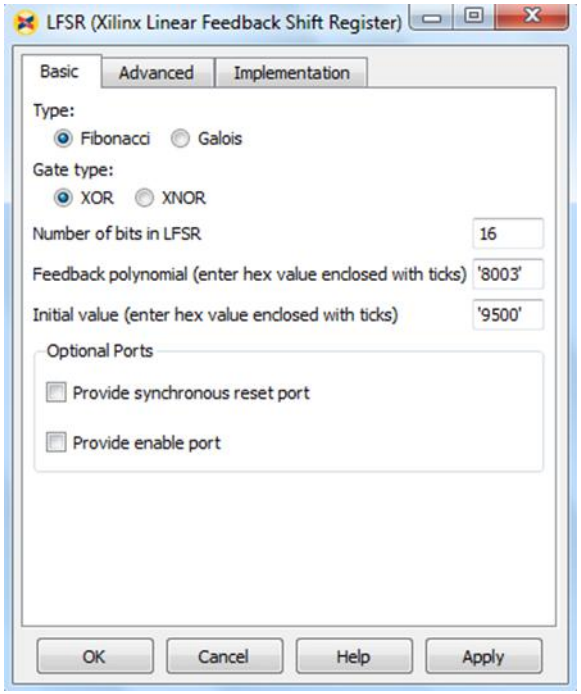
Norma DTMB


Encabezado de trama
Datos de entrada
Aleatorizador
FEC
Mapeo y Entrelazado
M U X
Información del Sistema
Procesamiento del Cuerpo de Trama
Combine
Procesamiento de datos Banda Base
Up Converter
Salida RF

Diseño de Aleatorizador

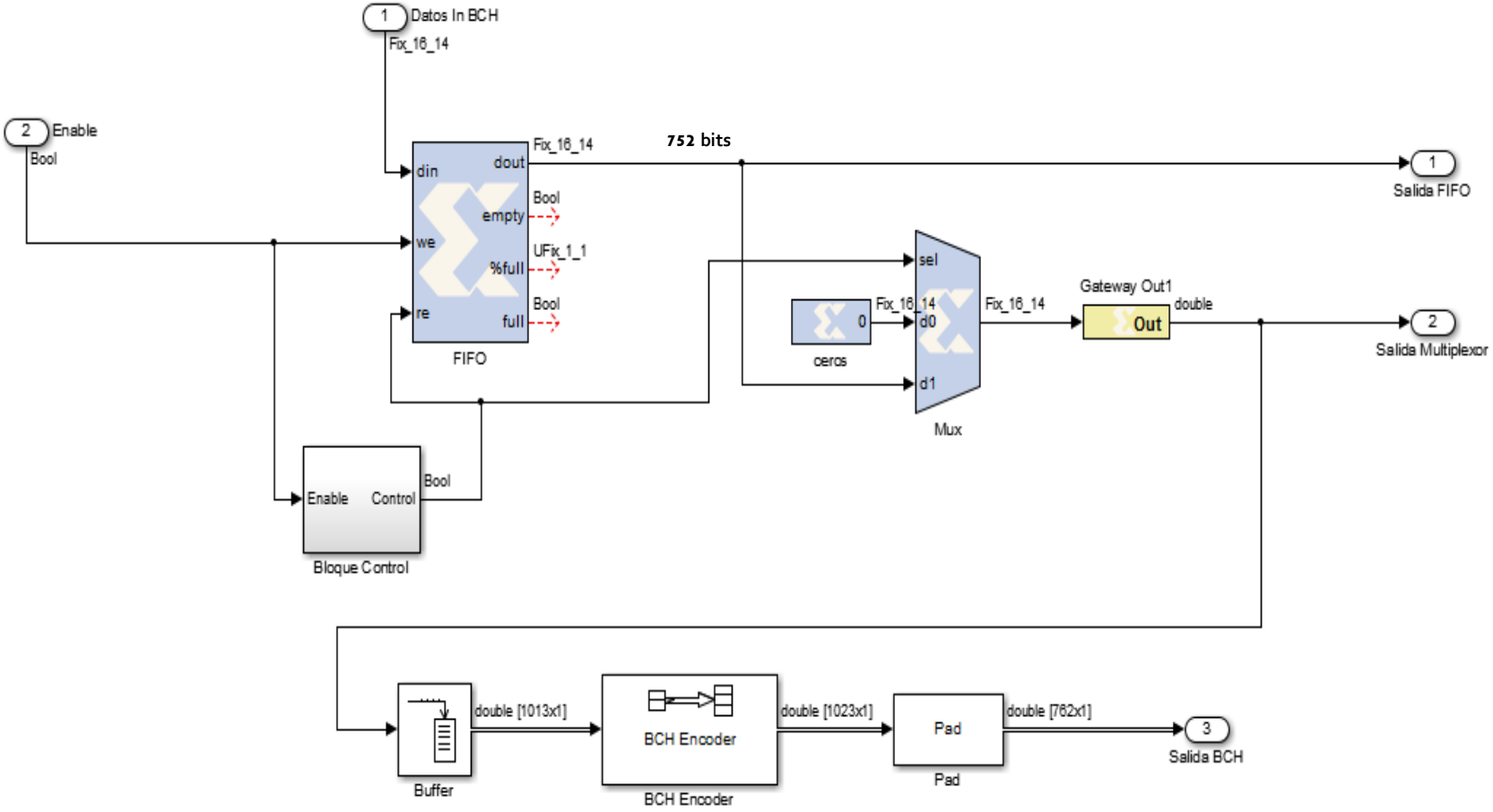


Frecuencia de reloj MPEG

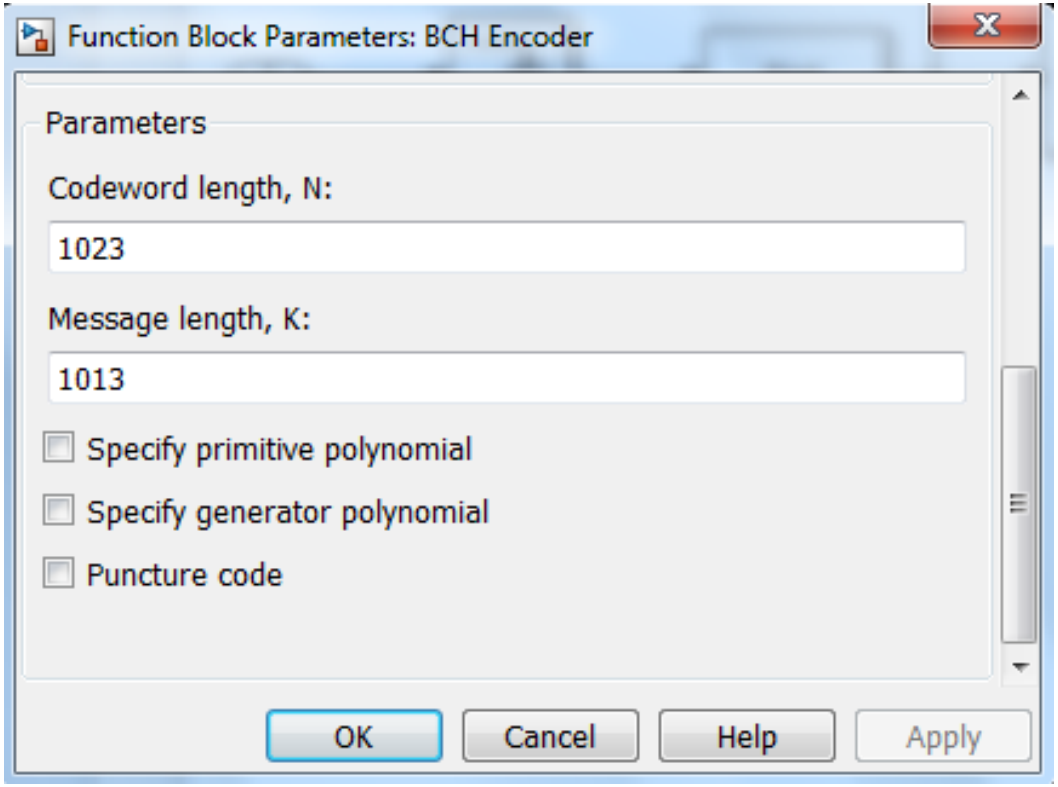


	Razón de Código		
Mapeado	**0,4**	**0,6**	**0,8**
4 QAM	**3008**	**4512**	**6016**
16 QAM	**6016**	**9024**	**12032**
32 QAM	**7520**	**11280**	**15040**
64 QAM	**9024**	**13536**	**18048**

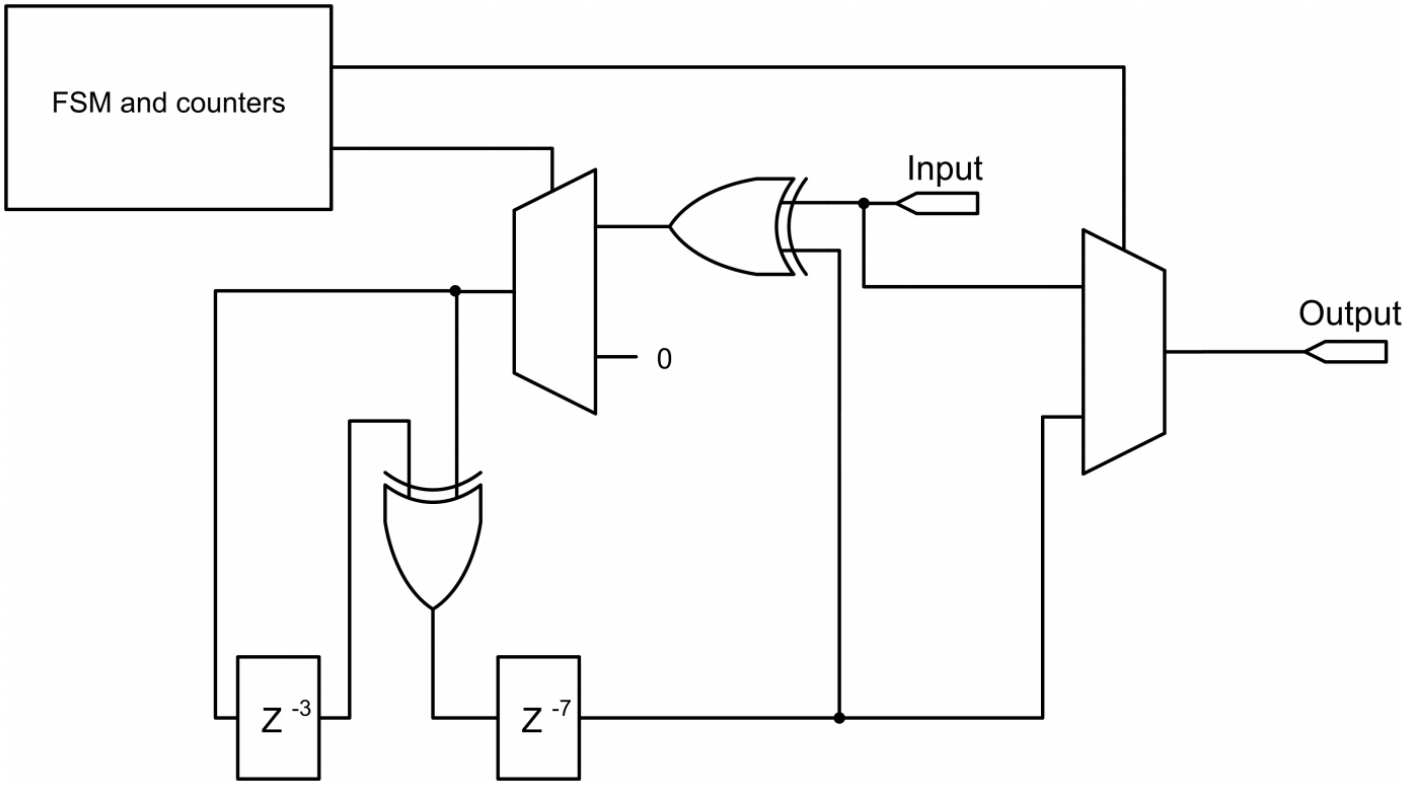
Diseño de codificador BCH



Bloque de Codificación BCH

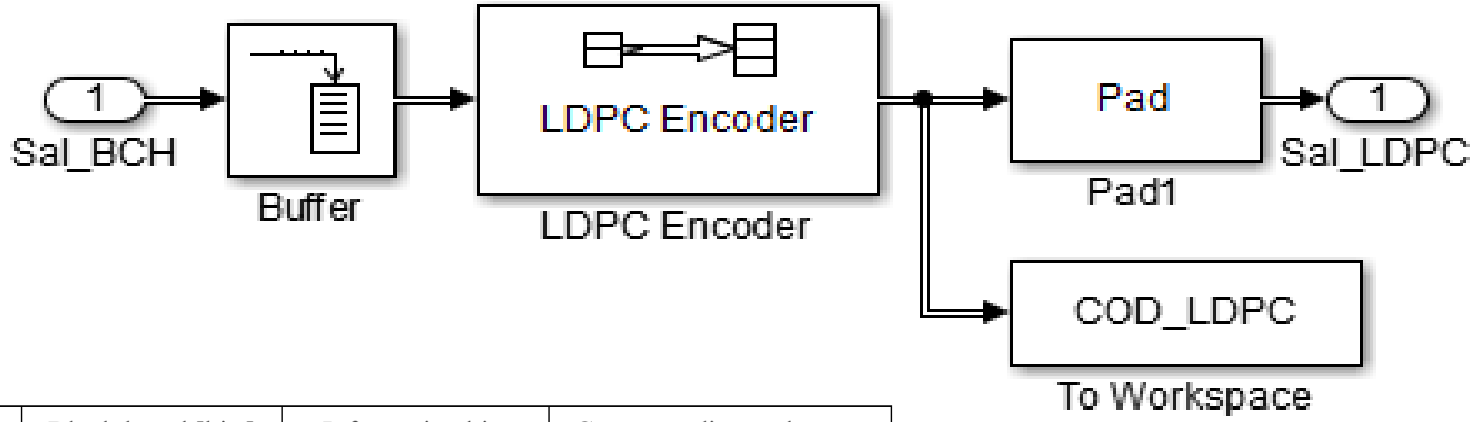


Bloque de Codificación BCH



$$G_{BCH} = 1 + x^3 + x^{10}$$

Diseño de codificador LDPC

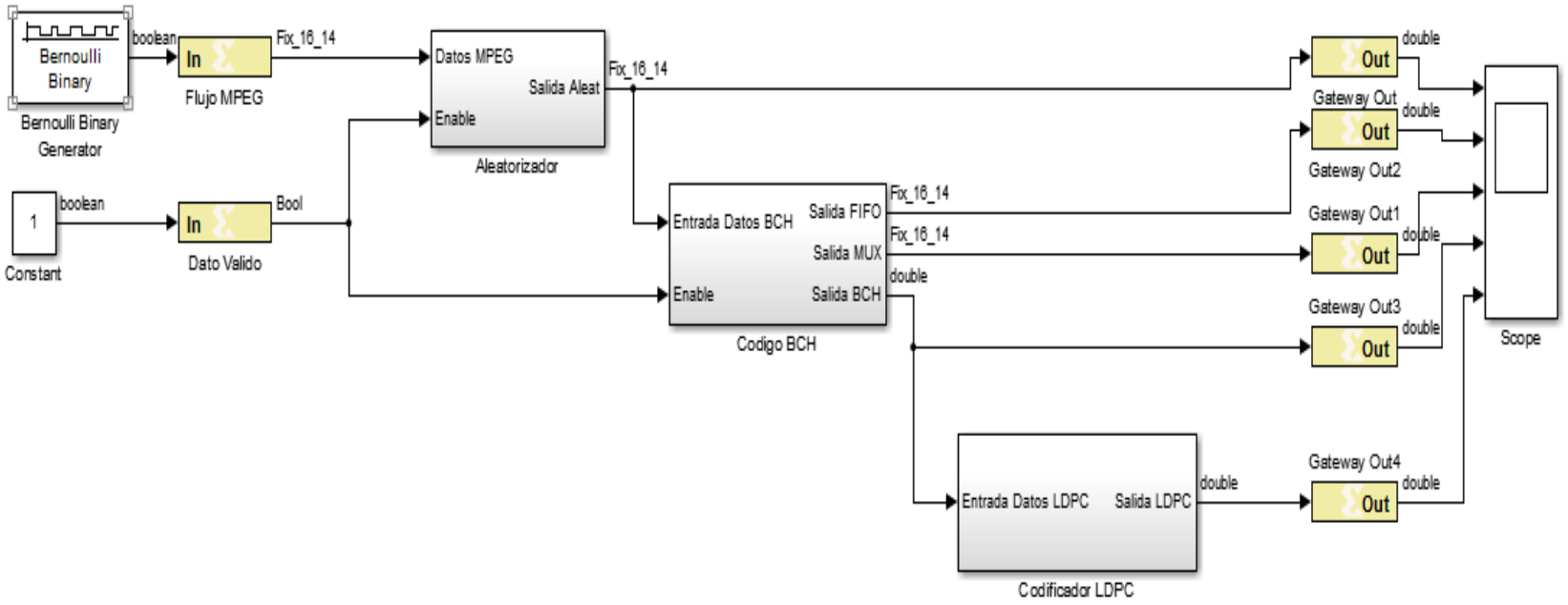


Modes	Block length[bits]	Information bits	Corresponding code rates
Rate 1	7488	3008	0.4
Rate 2	7488	4512	0.6
Rate 3	7488	6016	0.8

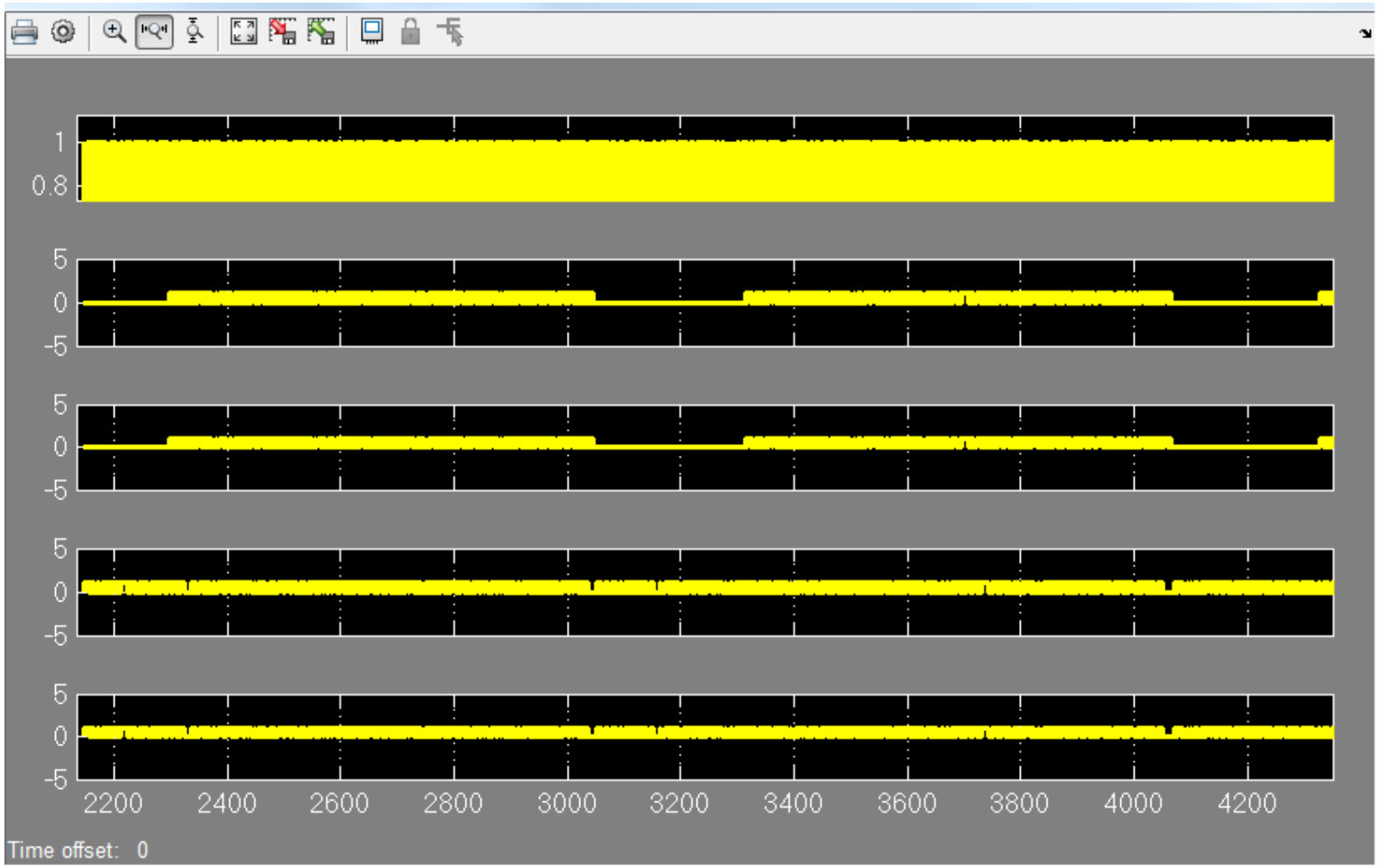
Razón 0.4 k=24 y c=35
Razon 0.6 k=36 y c=23
Razon 0.8 k=48 y c=11

$$\mathbf{G}_{qc} = \begin{bmatrix} \mathbf{G}_{0,0} & \mathbf{G}_{0,1} & \cdots & \mathbf{G}_{0,c-1} & \mathbf{I} & \mathbf{O} & \cdots & \mathbf{O} \\ \mathbf{G}_{1,0} & \mathbf{G}_{1,1} & \cdots & \mathbf{G}_{1,c-1} & \mathbf{O} & \mathbf{I} & \cdots & \mathbf{O} \\ \vdots & \vdots & \mathbf{G}_{i,j} & \vdots & \vdots & \vdots & \ddots & \vdots \\ \mathbf{G}_{k-1,0} & \mathbf{G}_{k-1,1} & \cdots & \mathbf{G}_{k-1,c-1} & \mathbf{O} & \mathbf{O} & \cdots & \mathbf{I} \end{bmatrix}$$

Verificación del diseño



Verificación del diseño



Salida aleatorizador

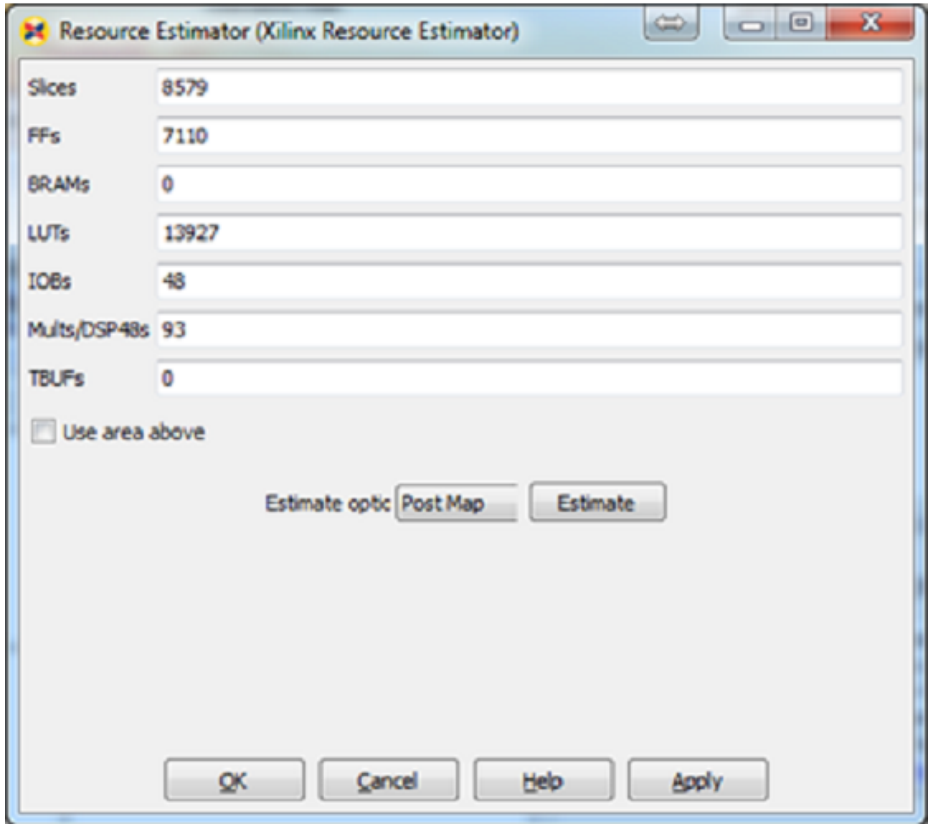
Salida FIFO

Salida MUX

Salida BCH

Salida BCH en XSG

Estimación de Recursos



Conclusiones

- Mediante Xilinx System Generator es posible realizar el diseño de los bloques aleatorizador y codificación FEC de la norma de televisión digital DTMB para ser implementadas en tecnología FPGA.
- Se realiza la simulación del diseño propuesto para validarlo según el funcionamiento de la norma. Se realiza la síntesis del diseño.
- Se realiza el cálculo de los recursos necesarios en una FPGA para implementar el sistema propuesto.

Recomendaciones

- Realizar el diseño de los bloques de codificación LDPC mediante bloques de XSG.
- Realizar la simulación de hardware a través del kit de desarrollo mediante cable JTAG.
- Implementar el diseño en el kit de desarrollo.