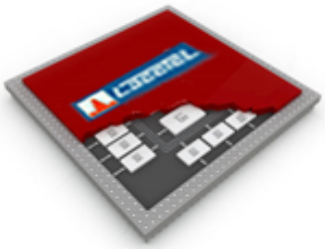
Do Not Distribute

LACETEL® VHDL Soft-Intellectual Property Module



www.lacetel.cu

Título: LCT2412B: Módulo IP para un Sintetizador Digital Directo con interfaz SPI basado en lenguaje VHDL.

Autor: Ing. Abdel Martínez Alonso

MÓDULO IP LCT2412B.

Generalidades.

La Síntesis Digital Directa es un método empleado para la generación de señales a partir de las muestras de amplitud de una señal sinusoidal que son almacenadas en memoria ROM (Read Only Memory). Un integrador digital o acumulador genera la información de fase que es utilizada como direcciones para acceder a la ROM y obtener el valor de las muestras que conforman la forma de onda de salida deseada.

Los DDS, de acuerdo al “estado del arte” en la actualidad, presentan una excelente resolución de frecuencia, pueden ser fácilmente modulados y se pueden combinar con un PLL (Phase-Locked Loop) para ampliar su rango de trabajo. Con las tecnologías de fabricación de circuitos integrados actuales es posible concebir dispositivos DDS con alto grado de integración, adecuada pureza espectral y bajo consumo de energía, lo que hace que esta tecnología sea cada vez más empleada en aplicaciones tanto de corte académico e investigativo como comercial.

Se describe diseño óptimo de un Módulo IP (Intelectual Property) para un dispositivo DDS que sea capaz de trabajar a la mayor frecuencia posible que permita la tecnología de fabricación empleada, con bajos niveles de ruido de fase y contenido de espurias. Adicionalmente se podrán incorporar otras prestaciones para satisfacer requerimientos de diseños específicos. El diseño ha sido denominado LCT2412B, la nueva denominación responde a modificaciones y optimizaciones realizadas al Módulo IP LCT3212B en base a requisitos del proceso de fabricación del Circuito Integrado. Provee saltos de frecuencia rápidos y una resolución de frecuencia fina (palabra binaria de sintonía de 24 bits) e incorpora además 8 perfiles de usuario con registros de 24 bits pre-programables, característica que lo hace único dentro de los dispositivos similares existentes en la actualidad.

Los Comandos de Control y las Palabras Binarias de Sintonía son cargados en el dispositivo mediante un interfaz SPI (Serial Peripheral Interface). La generación de la señal comienza por la sintonía de una determinada frecuencia, el valor de la misma se encuentra en una Palabra Binaria de Sintonía FTW (del inglés Frequency Tunning Word) que se carga mediante el interfaz de comunicación serie.

Perfiles de usuario.

Un Perfil de Usuario consiste en un grupo específico de registros del banco de memoria. En cada Perfil de Usuario del LCT2412B se almacena una palabra binaria de Sintonía, FTW. Estos son seleccionados a través de la decodificación de los valores que poseen tres pines de entrada (P1, P2 and P3) según se define en la Tabla I. De esta forma es posible establecer un cambio rápido de los parámetros del DDS, a través de la conmutación entre Perfiles de Usuario, lo cual elimina las demoras impuestas por la transmisión de datos a través del puerto de comunicación serie.

Tabla 1: Decodificación de los perfiles de usuario.

P0/P1/P2	PERFIL DE USUARIO
0/0/0	0
0/0/1	1
0/1/0	2
0/1/1	3
1/0/0	4
1/0/1	5
1/1/0	6
1/1/1	7

Sincronización del sistema:

La señal de sincronía del sistema es suministrada a través del pin de entrada de la señal de sincronía, este reloj sirve de referencia para la frecuencia de salida del DDS, la misma se obtiene de acuerdo a la siguiente ecuación de sintonía:

$$F0=\frac{FTW \times REFCLK}{2^N}$$

Donde:

FTW: Palabra Binaria de Sintonía.

REFCLK: Frecuencia del reloj del sistema.

N: Cantidad de bits del Acumulador.

La resolución de frecuencia se obtiene en función de la frecuencia de reloj del sistema y la cantidad de bits del acumulador. Puede ser determinada utilizando la siguiente ecuación:

$$F0=\frac{REFCLK}{2^N}$$

Donde:

REFCLK: Frecuencia del reloj del sistema.

N: Cantidad de bits del Acumulador.

Estructura de "pipeline" balanceada.

A partir de los resultados arrojados por las simulaciones y análisis de tiempo de los diseños anteriores, e intercambios de información con fabricantes de circuitos Integrados, surge la necesidad de disminuir las demoras de la lógica combinacional presente en la estructura de los DDS con el objetivo de lograr la mayor frecuencia de trabajo posible. De esta manera se identificaron como causas fundamentales que provocaban la disminución de la frecuencia efectiva de trabajo:

• **El empleo de librerías con componentes que presentan grandes demoras** – En este caso la única solución posible es el empleo de librerías basadas en tecnologías de fabricación más avanzadas. Esta solución es altamente dependiente de las posibilidades tecnológicas del fabricante seleccionado y totalmente fuera del alcance del diseño a nivel RTL.

• **Bloques de lógica combinacional demasiado complejos**– Este parámetro está directamente relacionado con el diseño en lenguaje HDL y puede ser optimizado empleando diferentes técnicas de optimización dentro del diseño digital.

Con el objetivo de aumentar la frecuencia efectiva de trabajo fueron aplicadas dos técnicas de diseño digital:

• **Balance de Registros:** Consiste en reposicionar los registros dentro de la lógica combinacional de forma tal que se logre un equilibrio en las demoras de todos bloques combinacionales.

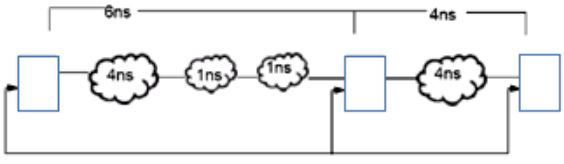


Fig. 1: Diseño original. Período de reloj mínimo: 6ns.

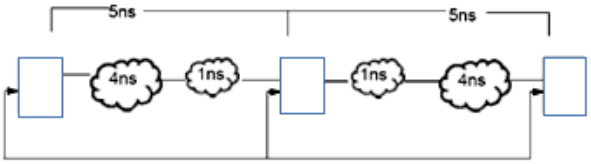


Fig. 2: Diseño balanceado. Período de reloj mínimo: 5ns.

• **Pipelining:** Este método, a diferencia del anterior, varía el comportamiento del diseño. La idea consiste en insertar registros dentro de la estructura de lógica combinacional que mayor demora presente, de esta manera se disminuye la lógica entre registros a expensas del incremento de la latencia del sistema pues los datos aparecerán en la salida varios pulsos después en comparación con el diseño original.

Particularidades de la versión.

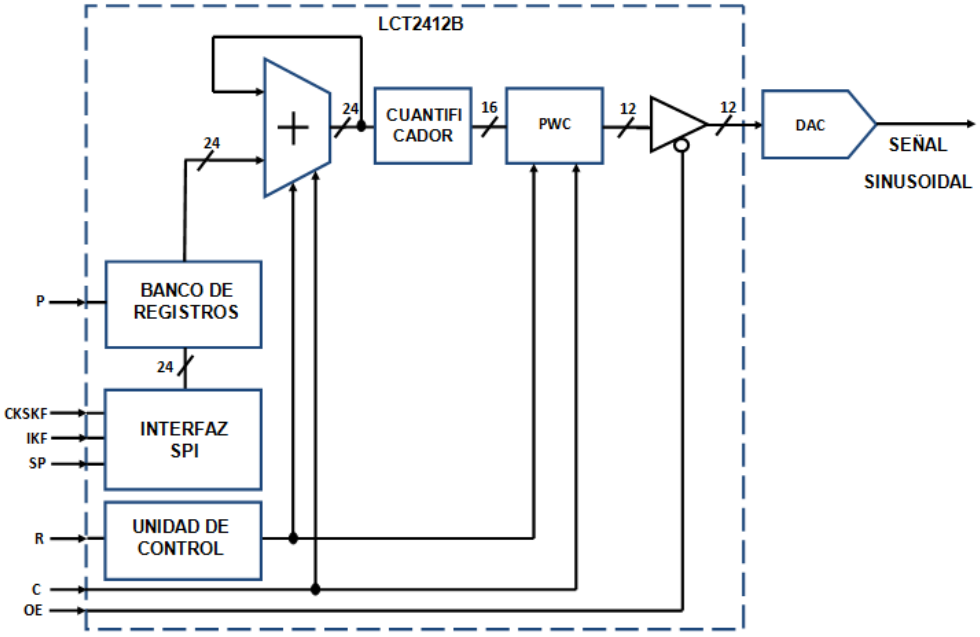


Fig. 3: Diagrama en bloques LCT2412B.

Características principales:

- Interfaz de comunicación serie SPI.
- Memoria ROM interna de 16Kx12.
- Registro acumulador de 24 bits.
- 8 perfiles de usuario con registros de 24 bits pre-programables.
- 12 bits de resolución de salida.

Bloques funcionales:

1. Interfaz de comunicación SPI: El bloque SPI incluye una línea de reloj, entrada de datos, salida de datos y un pin de selección. La principal ventajas del interfaz SPI sobre el RS232 es que minimiza el número bloques y en consecuencia el consumo energético así como el tamaño del circuito integrado final, reduciendo el costo de fabricación, montaje y puesta en marcha de la aplicación. El formato de transmisión consta de 3 bits de direccionamiento, empleados para indicar en cuál registro del DDS serán almacenados los siguientes 24 bits de la cadena que corresponden a la información de la Palabra de Sintonía de Frecuencia con la que será configurado el sistema.

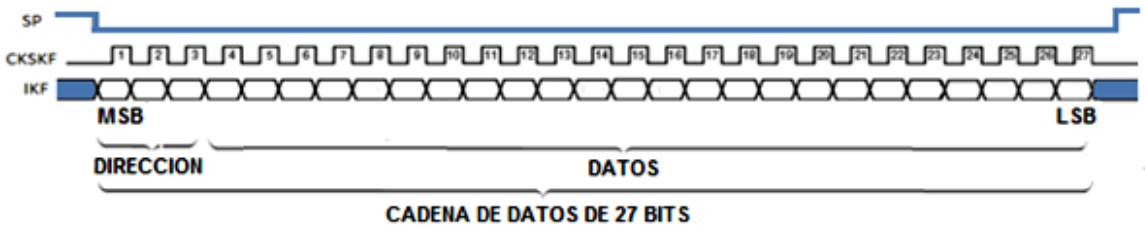


Fig. 4: Secuencia de recepción interfaz SPI.

La sustitución del interface RS232 por la SPI brindará al sistema algunas ventajas adicionales:

- Protocolo flexible mediante el cual se puede tener un control absoluto sobre los bits transmitidos.
- No está limitado a la transferencia de bloques de 8 bits.
- Elección del tamaño de la trama de bits, de su significado y propósito.
- Implementación en hardware extremadamente simple.
- Menor consumo de energía debido a que posee menos compuertas equivalentes.
- No es necesario arbitraje o mecanismo de respuesta ante fallos.
- Menor cantidad de terminales que una interfaz RS232 equivalente.

- Una única señal específica para un dispositivo (señal SS), las demás señales pueden ser compartidas.

Desventajas fundamentales:

- El protocolo SPI sólo funciona en distancias relativamente cortas comparadas con las de RS232.
- No puede ser conectado directamente a PCs, pues estas generalmente no poseen interfaces SPI compatibles.

2. Acumulador de Fase: Componente principal del DDS, con una resolución de 24 bits, genera una rampa lineal que contiene la información de fase de la señal cuasi-sinusoidal de salida. Es un sumador realimentado que incrementa el número almacenado cada vez que recibe un pulso de sincronía. La magnitud del incremento del valor del acumulador es controlada mediante la FTW.
3. Cuantificador: La cuantificación de fase es consecuencia del proceso de truncado debido a que el tamaño de la memoria debe ser reducido. El inconveniente de esta cuantificación es la introducción de ruido de fase y frecuencias espurias a la salida del DDS. El cuantificador elimina del canal principal del DDS los 8 bits menos significativos según la versión.
4. Memoria ROM: Tiene un tamaño de 16Kx12 bits, en ella se realiza la operación de conversión fase-amplitud. A esta memoria suele denominársele “lookup table” (LUT). Es en este bloque donde a cada uno de los valores discretos de fase se le hace corresponder un valor de amplitud de una sinusoide. La LUT sólo utiliza los 16 bits de mayor peso o más significativos de la salida del acumulador, si por el contrario, manejara la totalidad de los bits de salida del acumulador de fase, las dimensiones de la ROM serían demasiado grandes. El tamaño de la ROM ha sido reducido en aproximadamente un 75% al emplear tablas más pequeñas, mapeando solamente 1/4 de la señal sinusoidal, mediante lógica adicional es obtenido el ciclo completo de la misma.

   Para reconstruir la onda completa entre 0 y 2π se utilizan los dos bits de mayor peso, es decir, los dos MSB del acumulador de fase, el primero de ellos, para fijar el signo, mientras que el segundo resuelve si la pendiente del

seno va a ser creciente o decreciente. En esta aproximación se utilizan sólo 14 entradas de la ROM, hecho que conduce a una compresión de 4:1. Este método reduce significativamente el consumo de recursos del FPGA o ASIC por concepto de memoria ROM.

5. Banco de Registros: La frecuencia de salida del DDS es determinada por los 32 o 24 bits, provenientes del interfaz de comunicación cargados en los 8 registros pre-programables que contienen la FTW del correspondiente perfil de usuario.
6. Unidad de Control: Garantiza las condiciones iniciales, proporciona el reset sincrónico del sistema.

Descripción del funcionamiento.

El Módulo LCT2412B hereda características básicas del Módulo LCT3212B. Está compuesto por varios bloques funcionales básicos de su diseño predecesor, los cuales son optimizados con el objetivo de logar un diseño capaz de trabajar a mayores frecuencias de conmutación.

Bloque Acumulador.

El bloque Acumulador es diseñado con una estructura de “pipeline” la cual consta de un sumador simple de 1 bit, 22 etapas de sumadores completos de 1 bit y un sumador sin salida de acarreo de 1 bit.

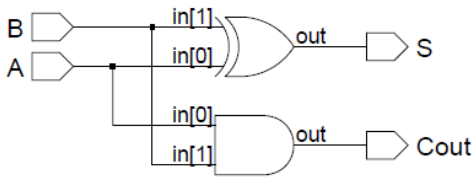


Fig. 5: Sumador Simple de 1 bit.

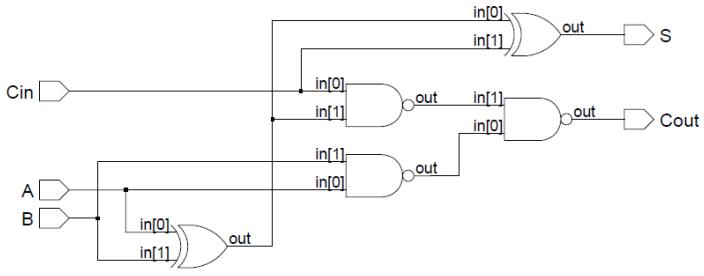


Fig. 6: Sumador Completo de 1 bit.

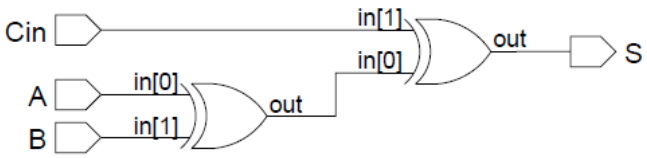


Fig. 7: Sumador sin salida de acarreo de 1 bit.

La estructura del Bloque Acumulador se basa en un canal de “pipeline” estructurado de manera tal que la demora máxima de la lógica combinacional se encuentra en los bloques de sumadores, los cuales poseen salidas y entradas registradas (Figura 8). De esta manera el sumador será capaz de trabajar a la frecuencia cuyo período mínimo es equivalente a la demora del bloque sumador combinacional más lento.

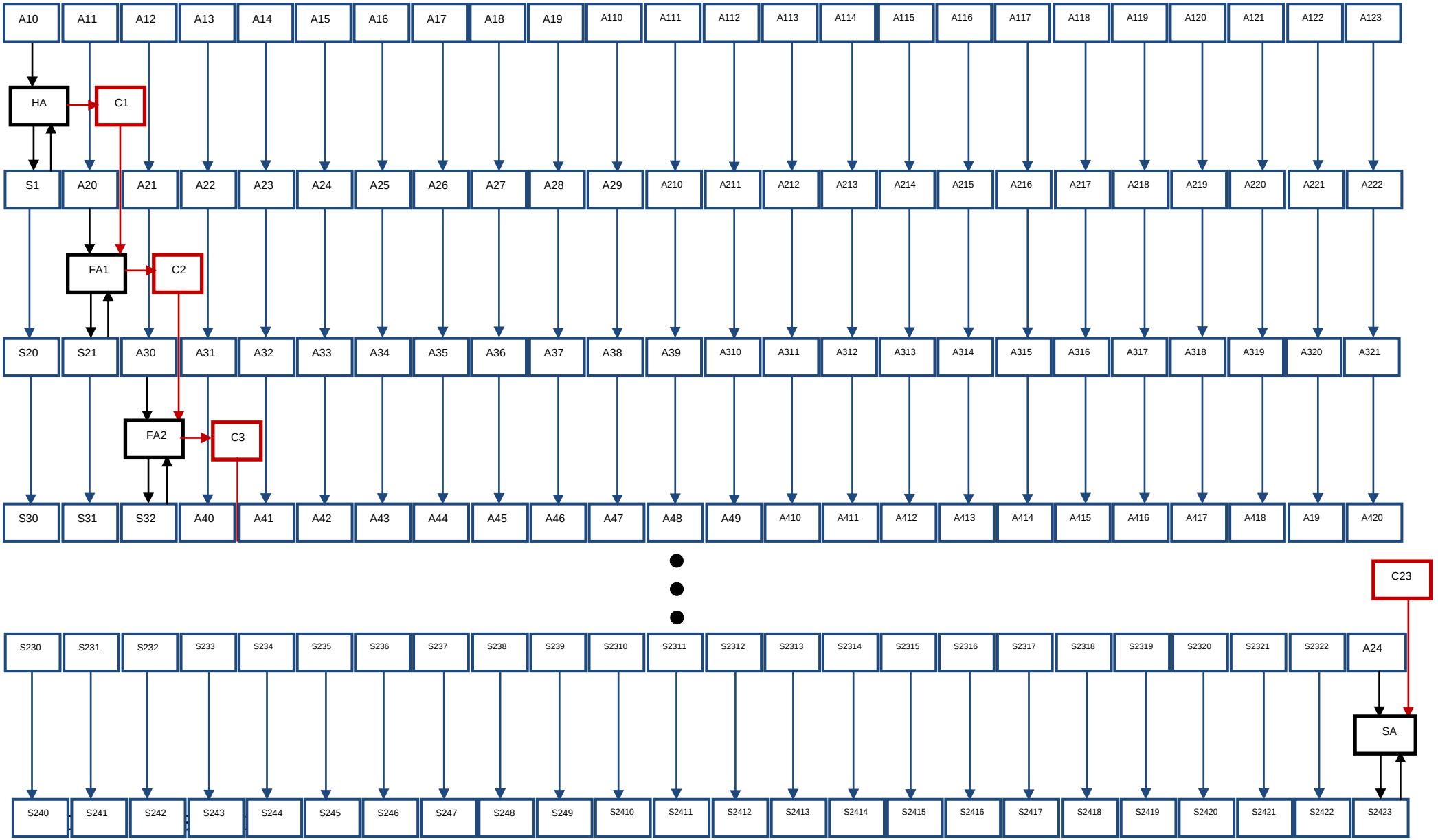
3.5.5.3 Memoria ROM.

La memoria ROM constituye el bloque de mayor complejidad, y por ende, el de mayores demoras, limitando significativamente la frecuencia de trabajo del sistema en su conjunto.

El Módulo IP posee un diseño de memoria basado en el mapeo de un cuarto de onda de la señal sinusoidal, reduciendo considerablemente la cantidad de compuertas equivalentes empleadas en comparación con un diseño que almacenara toda la información. A pesar de la reducción significativa del hardware, los compiladores al implementar los bloques de memoria generan largas cadenas combinacionales que provocan demoras excesivas.

Un primer acercamiento al rediseño de la Memoria ROM fue la implementación de una estructura de bloques de memoria de pequeña capacidad con salida multiplexada. De esta manera se concentra la lógica combinacional en los pequeños bloques y al registrar tanto sus entradas de datos como sus salidas hacia el multiplexor, se logra un incremento en la frecuencia de trabajo.

INSTITUTO DE INVESTIGACIÓN Y DESARROLLO DE TELECOMUNICACIONES



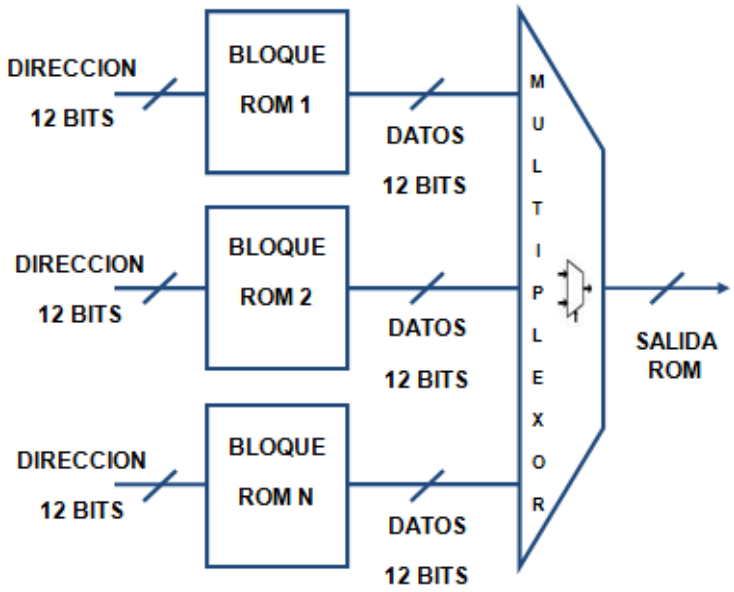


Fig. 9: Estructura ROM multiplexada.

La tabla de búsqueda fue subdividida en 16, 32 y 128 sub-bloques de memoria, optimizándose hasta alcanzar la frecuencia de trabajo de 110,5 MHz sintetizando el diseño con la librería del fabricante BMS. A partir de la subdivisión en 128 bloques, las demoras que presenta el multiplexor de salida comienzan a convertirse en el camino crítico dentro de la lógica combinacional por lo que no tiene sentido continuar subdividiendo el sistema.

Un diseño alternativo a los analizados con anterioridad fue implementado partiendo de la Tabla de la Verdad de cada uno de los bits de salida a partir de los bits del bus de direcciones de la ROM, luego cada tabla de funcionamiento es expresada como suma de productos en la forma canónica de una función lógica.

Fue utilizando el software SIS (Sequential Interactive Synthesis) desarrrollado por la Universidad de Berkeley en California, Estados Unidos, mediante el cual se obtienen las sumas de productos de cada bit de salida a partir de la entrada al sistema de un fichero conteniendo la información de la Tabla de la Verdad correspondiente.

```
.i 14
.o 12
.ilb a13 a12 a11 a10 a9 a8 a7 a6 a5 a4 a3 a2 a1
.ob d11 d10 d9 d8 d7 d6 d5 d4 d3 d2 d1 d0

00000000000000   100000000000
00000000000001   100000000000
00000000000010   100000000000
00000000000011   100000000001
00000000000100   100000000001
00000000000101   100000000001
00000000000110   100000000001
00000000000111   100000000001
00000000001000   100000000010
                 .
                 .
                 .
                 .
11111111111000   111111111111
11111111111001   111111111111
11111111111010   111111111111
11111111111011   111111111111
11111111111100   111111111111
11111111111101   111111111111
11111111111110   111111111111
11111111111111   111111111111
.e
```

Fig. 10: Formato fichero SIS de la Tabla de la Verdad.

Las funciones lógicas de cada uno de los 12 bits de salida de la ROM, expresadas como suma de productos, fueron implementadas empleando compuertas AND y OR. Cada salida de una etapa de suma dentro de la función lógica fue registrada, creándose de esta manera una estructura de “pipeline” dentro de la memoria ROM en la cual las cadenas de lógica combinacional son limitadas a una etapa de multiplicación implementada con compuertas AND, seguida de una compuerta OR de dos entradas con la cual se implementa la suma.

```
d10 <= ( a12 AND a10 AND a8 AND a6 AND a4 AND a2 AND a1  ) OR (
a12 AND a10 AND a8 AND a6 AND a4 AND a3  ) OR (  a12 AND a10 AND
a8 AND a6 AND a5  ) OR (  a12 AND
a10 AND a8 AND a7  ) OR (  a12 AND a10 AND a9  ) OR (  a12 AND
a11  ) OR (  a13 );
```

Fig. 11: Expresión lógica del bit de salida 10 expresada como suma de productos.

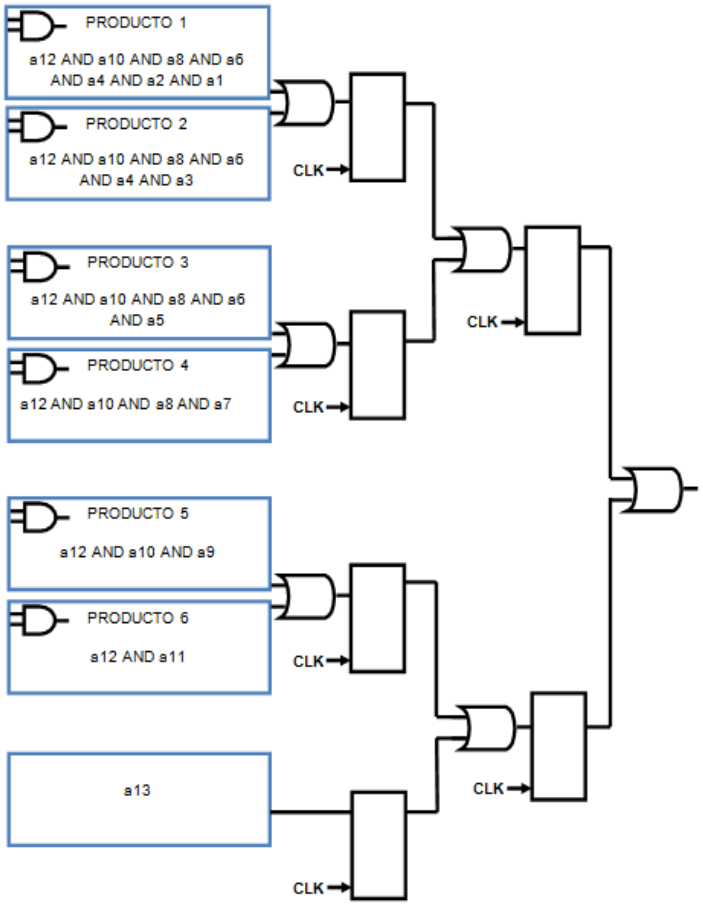


Fig. 12: Estructura ROM combinacional con “pipeline”.

3.5.5.4 INTERFAZ.

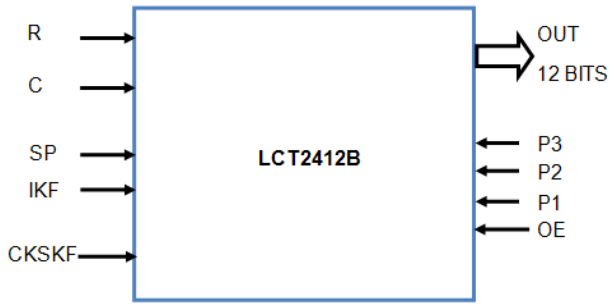
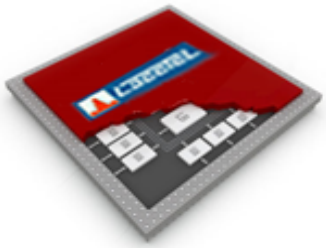


Fig. 13: Diagrama externo del LCT2412B.

Tabla 2: Descripción de las señales de entrada\salida.

C	ENTRADA	Señal de Reloj. Activo en Frente de Subida.
R	ENTRADA	Reset asincrónico. Activo en nivel bajo. Limpia todos los registros del DDS.
P	ENTRADA	Pines para la Selección del Perfil de Usuario (P1, P2 and P3).
SP	ENTRADA	Entrada de datos de la interfaz SPI.
IKF	ENTRADA	Selección del dispositivo SPI. Cada dispositivo en la cadena de transmisión serie puede ser seleccionado mediante este pin. Activo en nivel bajo.
CKSKF	ENTRADA	Señal de reloj de la interfaz SPI
OE	ENTRADA	Habilitación de la salida.
DO	SALIDA	Salida hacia el DAC. Bus de 12 bits.

Do Not Distribute

LACETEL® VHDL Soft-Intellectual Property Module